

**BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH**

ĐỖ ĐỨC TRÍ

**NGHIÊN CỨU BỘ NGHỊCH LƯU BA PHA BA BẬC
HÌNH T VỚI KHẢ NĂNG TĂNG ÁP VÀ CHỊU ĐƯỢC LỖI**

Tập 1

LUẬN ÁN TIẾN SĨ

NGÀNH: KỸ THUẬT ĐIỆN TỬ

MÃ SỐ: 92520203

Tp. Hồ Chí Minh, tháng 09/2020

**CÔNG TRÌNH ĐƯỢC HOÀN THÀNH TẠI
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH**

Người hướng dẫn khoa học 1: TS. NGUYỄN MINH KHAI

(Ghi rõ họ, tên, chức danh khoa học, học vị và chữ ký)

Người hướng dẫn khoa học 2: TS. QUÁCH THANH HẢI

(Ghi rõ họ, tên, chức danh khoa học, học vị và chữ ký)

Luận án tiến sĩ được bảo vệ trước
HỘI ĐỒNG CHẤM BẢO VỆ LUẬN ÁN TIẾN SĨ
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT,
Ngày 26 tháng 09 năm 2020

Số: 745^b/QĐ-ĐHSPKT

Tp. Hồ Chí Minh, ngày 17 tháng 5 năm 2017

QUYẾT ĐỊNH

V.v giao đề tài luận án và người hướng dẫn NCS khóa 2017 - 2020

HIỆU TRƯỞNG TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

Căn cứ Quyết định số 426/TTg ngày 27 tháng 10 năm 1976 của Thủ tướng Chính phủ về một số vấn đề cấp bách trong mạng lưới các trường đại học và Quyết định số 118/2000/QĐ-TTg ngày 10 tháng 10 năm 2000 của Thủ tướng Chính phủ về việc tổ chức lại Đại học Quốc gia Thành Phố Hồ Chí Minh, tách Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh trực thuộc Bộ Giáo dục và Đào tạo;

Căn cứ Quyết định số 70/2014/QĐ-TTg ngày 10 tháng 12 năm 2014 của Thủ tướng Chính phủ về việc ban hành Điều lệ trường Đại học;

Căn cứ Thông tư số 10/2009/TT-BGDĐT ngày 07/5/2009 của Bộ Giáo dục và Đào tạo về việc Ban hành Quy chế đào tạo trình độ tiến sĩ;

Căn cứ Thông tư số 05/2012/TT-BGDĐT ngày 15/02/2012 của Bộ Giáo dục và Đào tạo về việc sửa đổi, bổ sung một số điều của Quy chế đào tạo trình độ tiến sĩ ban hành kèm theo Thông tư số 10/2009/TT-BGDĐT ngày 07/5/2009 của Bộ trưởng Bộ Giáo dục và Đào tạo;

Xét nhu cầu công tác và khả năng cán bộ;

Xét đề nghị của Trưởng phòng Đào tạo,

QUYẾT ĐỊNH:

Điều 1. Giao đề tài luận án tiến sĩ và người hướng dẫn cho:

Nghiên cứu sinh : **Đỗ Đức Trí**

Ngành : **Kỹ thuật điện tử** Khoá: 2017 - 2020

Tên luận án : **Nghiên cứu bộ nghịch lưu ba pha đa bậc với khả năng tăng áp và chịu được lỗi**

Người HD thứ nhất (HD chính): **TS. Nguyễn Minh Khai**

Người HD thứ hai :

Thời gian thực hiện : **17/5/2017 đến 17/5/2020**

Điều 2. Giao cho Phòng Đào tạo quản lý, thực hiện theo đúng Quy chế đào tạo trình độ tiến sĩ của Bộ Giáo dục & Đào tạo đã ban hành.

Điều 3. Trưởng các đơn vị, phòng Đào tạo, các Khoa quản ngành tiến sĩ và các Ông (Bà) có tên tại Điều 1 chịu trách nhiệm thi hành quyết định này.

Quyết định có hiệu lực kể từ ngày ký./.

Nơi nhận :

- BGH (để biết);
- Như điều 2, 3;
- Lưu: VT, SDH (4b).



Số: 2791 /QĐ-ĐHSPKT

Tp. Hồ Chí Minh, ngày 28 tháng 12 năm 2018

QUYẾT ĐỊNH

Về việc bổ sung hoặc thay đổi người hướng dẫn nghiên cứu sinh khóa 2017

HIỆU TRƯỞNG TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

Căn cứ Quyết định số 426/TTg ngày 27 tháng 10 năm 1976 của Thủ tướng Chính phủ về một số vấn đề cấp bách trong mạng lưới các trường đại học và Quyết định số 118/2000/QĐ-TTg ngày 10 tháng 10 năm 2000 của Thủ tướng Chính phủ về việc tổ chức lại Đại học Quốc gia Thành Phố Hồ Chí Minh, tách Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh trực thuộc Bộ Giáo dục và Đào tạo;

Căn cứ Quyết định số 70/2014/QĐ-TTg ngày 10 tháng 12 năm 2014 của Thủ tướng Chính phủ về việc ban hành Điều lệ trường Đại học;

Căn cứ Quyết định số 937/QĐ-TTg ngày 30 tháng 6 năm 2017 về việc phê duyệt đề án thí điểm đổi mới cơ chế hoạt động của Trường Đại học Sư phạm Kỹ thuật TP. Hồ Chí Minh;

Căn cứ Thông tư số 10/2009/TT-BGDĐT ngày 07 tháng 5 năm 2009 của Bộ Giáo dục và Đào tạo về việc Ban hành Quy chế đào tạo trình độ tiến sĩ;

Căn cứ Thông tư số 05/2012/TT-BGDĐT ngày 15 tháng 02 năm 2012 của Bộ Giáo dục và Đào tạo về việc sửa đổi, bổ sung một số điều của Quy chế đào tạo trình độ tiến sĩ ban hành kèm theo Thông tư số 10/2009/TT-BGDĐT ngày 07 tháng 5 năm 2009 của Bộ trưởng Bộ Giáo dục và Đào tạo;

Xét đề nghị của của nghiên cứu sinh, Khoa quản ngành và Trưởng phòng Đào tạo,

QUYẾT ĐỊNH:

Điều 1. Đồng ý bổ sung người hướng dẫn thứ hai cho:

Nghiên cứu sinh : **Đỗ Đức Trí**

Ngành : Kỹ thuật điện tử

Khoá: **2017 - 2020**

Tên luận án : **Nghiên cứu bộ nghịch lưu ba pha ba bậc hình T với khả năng tăng áp và chịu được lỗi**

Người HD thứ nhất (HD chính): **TS. Nguyễn Minh Khai**

Người HD thứ hai : **TS. Quách Thanh Hải**

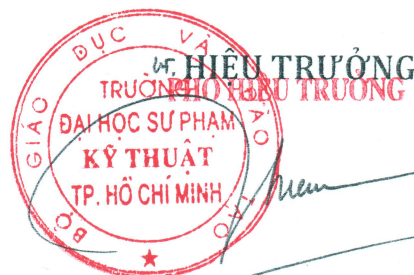
Điều 2. Giao cho Phòng Đào tạo quản lý, thực hiện theo đúng Quy chế đào tạo trình độ tiến sĩ của Bộ Giáo dục & Đào tạo đã ban hành.

Điều 3. Trưởng các đơn vị: phòng Đào tạo, khoa quản ngành, phòng KHTC và các Ông (Bà) có tên ở Điều 1 chịu trách nhiệm thi hành quyết định này.

Quyết định có hiệu lực kể từ ngày ký. *W*

Nơi nhận:

- BGH (để chỉ đạo);
- Như điều 3;
- Lưu: VT, SĐH (3b).



PGS. TS Lê Hiếu Giang

LÝ LỊCH CÁ NHÂN

I. LÝ LỊCH SƠ LƯỢC:	
Họ & tên: Đỗ Đức Trí	Giới tính: Nam
Ngày, tháng, năm sinh: 27/04/1973	Nơi sinh: Sài Gòn
Quê quán: Trà Vinh	Dân tộc: Kinh
Học vị cao nhất: Thạc sỹ	Năm, nước nhận học vị: 2013
Đơn vị công tác: Khoa Điện – Điện Tử	
Chỗ ở riêng hoặc địa chỉ liên lạc: 171/12, Lê Văn Việt, Phường Hiệp Phú, Quận 9, Tp. Hồ Chí Minh	
Điện thoại liên hệ: CQ: +84 28 38960985	DD: 0903666073
Email: tridd@hcmute.edu.vn	
II. QUÁ TRÌNH ĐÀO TẠO	
1. Đại học:	
Hệ đào tạo:	
Nơi đào tạo: Đại học Sư phạm Kỹ thuật TP. Hồ Chí Minh	
Ngành học: Kỹ thuật điện-điện tử	
Nước đào tạo: Việt nam	Năm tốt nghiệp: 1999
2. Sau đại học:	
Thạc sỹ chuyên ngành: Kỹ thuật điện tử	Năm cấp bằng: 2013

Nơi đào tạo: Đại học Sư phạm kỹ thuật Tp. HCM		
3. Ngoại ngữ		Tiếng Anh: B2
III. QUÁ TRÌNH CÔNG TÁC CHUYÊN MÔN		
Thời gian	Nơi công tác	Vai trò
2003 đến nay	Khoa Điện – Điện Tử, trường Đại học Sư phạm kỹ thuật TP. Hồ Chí Minh	Giảng viên

LỜI CAM ĐOAN

Tôi cam đoan đây là công trình nghiên cứu của tôi. Các số liệu, kết quả nêu trong luận án là trung thực và chưa từng được ai công bố trong bất kỳ công trình nào khác.

Tp. Hồ Chí Minh, ngày 25 tháng 9 năm 2020

Tác giả luận án

Đỗ Đức Trí

LỜI CẢM ƠN

Tác giả xin bày tỏ lòng biết ơn sâu sắc đến thầy TS. Nguyễn Minh Khai - Đại học kỹ thuật Queensland Úc - Trường đại học Sư phạm Kỹ thuật TP. HCM và thầy TS. Quách Thanh Hải - Trường đại học Sư phạm Kỹ thuật TP. HCM đã tận tình hướng dẫn và giúp đỡ tôi trong suốt quá trình nghiên cứu, thực hiện luận án.

Tác giả cũng xin chân thành cảm ơn Ban giám hiệu Trường Đại học Sư phạm Kỹ thuật thành phố Hồ Chí Minh, Phòng Đào tạo -bộ phận quản lý sau đại học, các thầy, cô thuộc Khoa Điện – Điện Tử và các đồng nghiệp trong trường đã tạo điều kiện, giúp đỡ tôi trong quá trình thực hiện luận án.

Cảm ơn gia đình đã chia sẻ, gánh vác công việc để tôi yên tâm nghiên cứu và thực hiện luận án.

Nghiên cứu sinh

Đỗ Đức Trí

TÓM TẮT

Trong những năm gần đây, cấu hình nghịch lưu hình T ba pha ba bậc truyền thống được ứng dụng rất phổ biến so với nghịch lưu hai bậc. Bởi vì, nghịch lưu hình T ba pha ba bậc truyền thống có nhiều ưu điểm như: chất lượng điện năng tốt hơn, yêu cầu bộ lọc ngõ ra AC nhỏ hơn, điện áp đặt trên các khóa công suất nhỏ hơn và điện áp ngõ ra cao hơn so với nghịch lưu hai bậc. Tuy nhiên, cấu hình nghịch lưu hình T ba pha ba bậc truyền thống là bộ chuyển đổi giảm áp. Mặt khác, để tạo ra điện áp ngõ ra cao từ điện áp ngõ vào thấp, một bộ DC-DC tăng áp cần phải được lắp đặt phía trước bộ nghịch lưu, lúc này, bộ nghịch lưu 3 bậc hình T truyền thống làm việc như bộ chuyển đổi hai chạng. Ngoài ra, trạng thái ngắn mạch (hai khóa công suất trên một nhánh pha có thể được đóng trong cùng thời điểm) là bị cấm trong nghịch lưu truyền thống. Nghịch lưu nguồn Z ba bậc (được gọi là bộ chuyển đổi công suất một chạng với khả năng tăng giảm điện áp và chịu đựng ngắn mạch) được đề xuất để khắc phục hạn chế của nghịch lưu ba bậc truyền thống. Tuy nhiên, bất lợi của cấu hình này là dòng điện ngõ vào không liên tục dẫn đến việc hạn chế cho các ứng dụng trong hệ thống PV và Pin nhiên liệu.

Để giải quyết những bất lợi của các bộ nghịch lưu nguồn Z ba bậc, các bộ nghịch lưu tựa nguồn Z ba bậc được đề xuất. Cấu hình nghịch lưu tựa nguồn Z ba bậc có vài ưu điểm như: điện áp đặt trên các phần tử công suất thấp và dòng điện ngõ vào liên tục. Tuy nhiên, cấu hình nghịch lưu tựa nguồn Z ba bậc sử dụng nhiều phần tử thụ động điều này làm gia tăng trọng lượng, kích thước và tổn hao của hệ thống nghịch lưu.

Nhằm cải thiện các nhược điểm nêu trên, cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T và giải thuật điều chế độ rộng xung (pulse width modulation - PWM) được đề xuất với những tính năng theo sau:

- Giảm độ gợn sóng dòng điện ngõ vào so với cấu hình tương tự;
- Độ lợi điện áp cao so với cấu hình tương tự;
- Chỉ số điều chế cao so với cấu hình tương tự.

Trong quá trình hoạt động, bộ nghịch lưu tạo ra điện áp common mode (CMV), quá trình này là nguyên nhân chính dẫn đến nhiều vấn đề bất lợi cho bộ nghịch lưu như: dòng rò, điện áp trục trong các ứng dụng điều khiển động cơ cũng như nhiễu điện từ.

Để giải quyết vấn đề điện áp common mode của cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T, giải thuật điều chế độ rộng xung (pulse width modulation - PWM) với khả năng triệt tiêu điện áp common mode được đề xuất.

Tính ổn định và độ tin cậy của các bộ nghịch lưu rất quan trọng trong hệ thống phân phối công suất như là: hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới. Trong thực tế, lỗi các thiết bị đóng/ngắt thường được chia thành hai loại, là lỗi ngắn mạch hoặc lỗi hở mạch. Sự kết hợp giữa cầu chì nhanh kết nối nối tiếp với các nhánh công suất của nghịch lưu dẫn đến lỗi ngắn mạch trở thành lỗi hở mạch.

Để đảm bảo tính ổn định và độ tin cậy của cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T, giải thuật điều chế độ rộng xung (pulse width modulation - PWM) được đề xuất với những tính năng theo sau:

- Cải tiến thông số điều khiển so với cấu hình tương tự;
- Khả năng hoạt động ở điều kiện bình thường và điều kiện lỗi;
- Giảm điện áp đặt trên các khóa công suất so với cấu hình tương tự.

Ngoài ra, phần mềm PSIM và mô hình thực nghiệm được thực hiện để kiểm chứng nguyên lý hoạt động của cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode và chịu lỗi hở mạch các khóa công suất.

ABSTRACT

In recent years, the traditional three-phase three-level T-type inverter topology has been used very commonly compared to the two-level inverter topology. Because the traditional three-phase three-level T-type inverter has many advantages such as better power quality, smaller output AC filter requirement, lower voltage stress across the inverter switches, and higher output voltage compared to the two-level inverter. However, the traditional three-phase three-level T-type inverter is only a buck converter. On the other hand, to create a high output voltage from a low input voltage, a DC-DC boost converter needs to be installed in front of the inverter which the traditional three-level T-type inverter will work as a two-stage converter. Besides, a shoot-through mode, where both the upper and lower switches in the same leg can be switched on at the same time, is forbidden in the traditional inverter. The three-level Z-source inverter topology, known as a single-stage power converter with a buck-boost capability and ST immune, is proposed to overcome the limitation of the traditional three-level inverter. However, the disadvantage of this topology is to have the discontinuous input current which results in the limitation of applications in PV and fuel cell systems.

To overcome the disadvantages of the three-level Z-source inverters, the three-level quasi Z-source inverters are proposed. The quasi Z-source inverter topology has some advantages such as low voltage stress on power switches and continuous input current. However, the three-level quasi Z-source inverter topology uses a large number of passive components that increase the weight, size, and loss of the inverter system.

To improve the aforementioned disadvantages, the three-level quasi switched boost T-type inverter topology and PWM algorithm is proposed with the following features:

- The input current ripple is reduced compared with the similar topology;
- High voltage gain compared with the similar topology;
- High modulation index compared with the similar topology.

During its operation, the inverter generates the common-mode voltage (CMV), which causes a lot of disadvantage problems for inverter, such as bearing currents and shaft voltage in motor drives applications as well as electromagnetic interference.

To address the common-mode voltage problems of the three-level quasi switched boost T-type inverter topology, the PWM algorithm with the ability to eliminate common-mode voltage is proposed.

The stability and reliability of the inverters are important in power distribution systems such as UPS, high-power medical instruments, and grid-connected renewable energy conversion systems. In fact, switching device faults are usually classified as either a short-circuit switch fault or an open-circuit switch fault. The combination of the fast fuses connected in series with the power switch legs of the inverter results in converting the short-circuit switch fault into the open-circuit switch fault.

To ensure the stability and reliability of the three-level quasi switched boost T-type inverter topology, the PWM algorithm is proposed with the following features:

- Improving control parameters in comparison with the similar topology;
- Having the ability to operate in normal and fault modes;
- Reducing voltage stress in power semiconductors in comparison with the similar topology.

In addition, a PSIM software and a prototype is implemented to verify the operating principle of the three-level quasi switched boost T-type inverter topology with the ability to eliminate common-mode voltage and to tolerate open-circuit fault of the power switches.

MỤC LỤC

LỜI CAM ĐOAN.....	iii
TÓM TẮT.....	v
ABSTRACT.....	vii
MỤC LỤC	ix
DANH SÁCH CÁC CHỮ VIẾT TẮT.....	xiii
CÁC KÝ HIỆU	xv
DANH SÁCH HÌNH.....	xvi
DANH SÁCH BẢNG.....	xxi
MỞ ĐẦU	1
1. Tính cấp thiết của đề tài.....	1
2. Mục tiêu nghiên cứu của luận án	5
3. Đối tượng và phạm vi nghiên cứu.....	6
4. Cách tiếp cận và phương pháp nghiên cứu.....	6
a. Cách tiếp cận	6
b. Lựa chọn phương pháp nghiên cứu.....	6
5. Đóng góp mới về mặt khoa học dự kiến và ý nghĩa thực tiễn của luận án	7
a. Đóng góp mới dự kiến về mặt khoa học của luận án	7
b. Ý nghĩa thực tiễn của luận án.....	7
6. Cấu trúc dự kiến của luận án.....	8
Chương 1: Tổng quan nghịch lưu tăng áp, triệt tiêu điện áp common mode và khả năng chịu lỗi hở mạch các khóa công suất.....	9
1.1. Quá trình phát triển nguồn năng lượng tái tạo.	9
1.2. Khái quát về nghịch lưu tăng áp.....	11
1.3. Khái quát về kỹ thuật điều chế xung bằng vector không gian.....	12
1.4. Khái quát về nghịch lưu tăng áp với khả năng chịu lỗi.....	13
Chương 2: phân tích toán học nghịch lưu tăng áp, điện áp common mode và khả năng chịu lỗi hở mạch các khóa công suất.....	16
2.1. Cơ sở lý thuyết về nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T.....	16
2.1.1. Cấu hình nghịch lưu truyền thống	16

2.1.2. Bộ nghịch lưu nguồn -Z.....	18
2.1.3. Bộ nghịch lưu hình T 3 bậc tựa nguồn Z (3L-qZST ² I)	19
2.1.4. Cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc NPC (3L-NPC-qSBT ² I).	21
2.2 Cở sở lý thuyết về kỹ thuật SVPWM	25
2.3 Cở sở lý thuyết về nghịch lưu tăng áp với khả năng chịu lỗi	28
2.3.1. Giải pháp tái cấu hình bằng phần cứng.....	29
2.3.2. Giải pháp tái cấu hình bằng giải thuật.	29
Chương 3: Nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T	33
3.1. Cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T (3L-qSBT ² I).	33
3.1.1 Sơ đồ và nguyên lý của 3L-qSBT ² I.....	33
3.1.2 Nguyên lý hoạt động của 3L-qSBT ² I	34
3.1.2.1 Trạng thái không ngắn mạch (NST)	35
3.1.2.2 Trạng thái ngắn mạch (ST)	37
3.2. Phương pháp điều khiển PWM cho 3L-qSBT ² I.....	37
3.3. Phân tích trạng thái xác lập cho 3L-qSBT ² I	40
3.4. Cân bằng điện áp trên tụ và ổn định DC-link cho 3L-qSBT ² I.....	43
3.5. So sánh với những nghịch lưu ba bậc khác	44
3.5.1. Thành phần linh kiện trong cấu hình 3L-qSBT ² I so với các cấu hình khác... ..	44
3.5.2. Độ gợn dòng điện của cuộn dây và độ gợn điện áp của tụ điện	45
3.5.3. Độ lợi điện áp	45
3.5.4. Điện áp đặt trên các khóa và trên tụ	46
3.5.5. Tổn hao trong phương pháp điều khiển PWM đề xuất 3L-qSBT ² I	46
3.6. Hướng dẫn lựa chọn các phần tử trong nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T	47
3.6.1. Lựa chọn cuộn dây và tụ điện	47
3.6.2. Lựa chọn bán dẫn.....	48
3.7. Kết quả mô phỏng và thực nghiệm.....	48
3.7.1. Kết quả mô phỏng.....	48

3.7.2. Kết quả thực nghiệm.....	51
Chương 4: Kỹ thuật điều chế vector không gian cho nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T có khả năng triệt tiêu điện áp common mode	58
4.1. Nguyên lý hoạt động và giải thuật triệt tiêu common mode cho 3L-qSBT ² I....	58
4.1.1. Nguyên lý hoạt động của 3L-qSBT ² I.	60
4.1.1.1. Trạng thái không ngắn mạch.....	60
4.1.2. Phân tích trạng thái xác lập cho 3L-qSBT ² I	60
4.1.3. Giải thuật điều chế vector không gian triệt tiêu điện áp common mode của 3L-qSBT ² I.	61
4.2. Kết quả mô phỏng và thực nghiệm cho 3L-qSBT ² I-ECMV.	65
4.2.1. Kết quả mô phỏng.....	65
4.2.2. Kết quả thực nghiệm.....	68
Chương 5: Nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T với khả năng chịu lỗi hở mạch các khoá công suất	73
5.1. Nguyên lý hoạt động và giải thuật chịu lỗi 3L-qSBT ² I.....	73
5.1.1. Nguyên lý hoạt động của chịu lỗi 3L-qSBT ² I.....	74
5.1.1.1. Điều khiển chịu lỗi khi S _{1x} hoặc S _{3x} bị lỗi	76
5.1.1.2. Điều khiển chịu lỗi khi S _{2x} bị lỗi.....	76
5.1.1.3. Điều khiển chịu lỗi khi T ₁ hoặc T ₂ bị lỗi	76
5.1.2.1 Trạng thái không ngắn mạch.....	79
5.1.2.2 Trạng thái ngắn mạch.....	80
5.1.3. Phương pháp điều khiển PWM cho chịu lỗi 3L-qSBT ² I.....	80
5.1.4. Phân tích trạng thái xác lập cho chịu lỗi 3L-qSBT ² I.....	82
5.1.5. Phân tích trạng thái xác lập cho chịu lỗi 3L-qSBT ² I khi khoá công suất T ₁ hoặc T ₂ của mạng nguồn kháng bị lỗi.....	83
5.1.6. Phương pháp điều khiển cho chịu lỗi 3L-qSBT ² I.	84
5.1.6.1. Kỹ thuật điều khiển chịu lỗi 3L qSBT ² I.	84
5.1.6.2. So sánh kỹ thuật điều khiển chịu lỗi 3L-qSBT ² I đề xuất với các phương pháp PWM truyền thống.	86
5.2. Hiệu suất của chịu lỗi 3L-qSBT ² I	89
5.3. Kết quả mô phỏng và thực nghiệm.....	90

5.3.1. Kết quả mô phỏng.....	90
5.2.2. Kết quả thực nghiệm.....	95
Chương 6: Kết luận và hướng phát triển của luận án	104
6.1. Kết quả đạt được.....	104
6.2 Hướng phát triển luận án.....	106
DANH MỤC CÁC CÔNG TRÌNH ĐÃ CÔNG BỐ.....	107
TÀI LIỆU THAM KHẢO	110
PHỤ LỤC.....	119

DANH SÁCH CÁC CHỮ VIẾT TẮT

1S: One Source	Nguồn đơn
3L: Three Level	Ba bậc
3L-BNI: Three Level-Boost NPC Inverter	Nghịch lưu NPC tăng áp ba bậc
3L qSBT ² I: Three Level Quasi Switch Boost T-Type Inverter	Nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T
AC: Alternating Current	Dòng xoay chiều
CMV: Common Mode Voltage	Điện áp common mode
D: Duty cycle	Tỉ số đóng
DC: Direct Current	Dòng một chiều
DSP: Digital Signal Processor	Bộ xử lý tín hiệu số
ECMV: Eliminate Common Mode Voltage	Triệt tiêu điện áp common mode
EMI: Electromagnetic Interference	Nhiều điện từ
HB-qSBI: H-Brigde Quasi Switch Boost Inverter	Nghịch lưu tăng áp tựa khóa chuyển mạch cầu H
IGBT: Insulated-Gate Bipolar Transistor	Transistor lưỡng cực công cách ly
M: Modulation	Chỉ số điều chế
NPC: Neutral Point Clamped	Kẹp điểm trung tính
NST: Non Shoot Through	Không ngắn mạch
PD: Phase Disposition	Bố trí cùng pha
PI: Proportional Integrator	Tích phân tỷ lệ
PS: Phase Shift	Kỹ thuật dịch pha
PSIM: Power Simulation	Mô phỏng công suất
PV: Photovoltaic	Quang điện
PWM: Pulse Width Modulation	Điều chế độ rộng xung
qSB: Quasi Swich Boost	Tăng áp tựa khóa chuyển mạch

qSBI: Quasi Swich Boost Inverter	Nghịch lưu tăng áp tựa khóa chuyển mạch
qZSI: Quasi Z Source Inverter	Nghịch lưu tựa nguồn Z
SPWM: Sinusoidal Pulse Width Modulation	Điều chế độ rộng xung dựa vào sóng sin
ST: Shoot Through	Ngắn mạch
SVM: Space Vector Modulation	Điều chế xung vector không gian
SVPWM: Space Vector Pulse Width Modulation	Điều chế độ rộng xung vector không gian
THD: Total Harmonic Distortion	Tổng độ méo dạng sóng hài
VSI: Voltage Source Inverter	Nghịch lưu nguồn áp
UPS: Uninterruptible Power Supply	Bộ nguồn dự phòng
ZSI: Z Source Inverter	Nghịch lưu nguồn Z

CÁC KÝ HIỆU

B_6 :	Nghịch lưu 3 pha 2 bậc 6 khóa
B_4	Nghịch lưu 3 pha 2 bậc 4 khóa
d_1, d_2 :	Tỉ số đóng của hai khóa mạng nguồn kháng
G_{max} :	Độ lợi cực đại
G_{min} :	Độ lợi cực tiểu
f_s :	Tần số đóng ngắt
I_L	Dòng điện cuộn dây tăng áp
I_{Load} :	Dòng điện tải ngõ ra
L_B :	Cuộn dây tăng áp
\vec{V}_a :	Vector điện áp tham chiếu pha A
V_{AB} :	Điện áp dây ngõ ra
V_{AG} :	Điện áp pha ngõ ra
V_{A0} :	Điện áp cực (pha so với tâm nguồn)
V_C :	Điện áp trên tụ điện
V_{con} :	Điện áp điều khiển
V_{dc} :	Điện áp DC ngõ vào bộ nghịch lưu trực tiếp
$V_{PN} (V_{dc-link})$:	Điện áp giữa ngõ ra DC và ngõ vào nghịch lưu
V_{ST} :	Điện áp ngắt mạch
V_{ref} :	Điện áp tham chiếu
V_{tri} :	Điện áp sóng mang tam giác
\hat{v}_x :	Điện áp đỉnh ngõ ra

DANH SÁCH HÌNH

Hình 1.1. Chi phí đầu tư cho năng lượng mặt trời và điện gió của thế giới.....	9
Hình 1.2 Cấu trúc hệ thống nghịch lưu	11
Hình 2.1: Bộ nghịch lưu hình T (T-Type) ba pha truyền thống.	16
Hình 2.2: Sơ đồ khối của bộ nghịch lưu truyền thống sử dụng máy biến áp tần số thấp 50Hz.....	17
Hình 2.3: Sơ đồ khối của bộ nghịch lưu truyền thống sử dụng bộ tăng áp một chiều	17
Hình 2.4: Bộ nghịch lưu 3 bậc hình T tựa nguồn-Z ($3L-ZST^2I$).	18
Hình 2.5: Bộ nghịch lưu hình T tựa nguồn Z ba bậc ($3L-qZST^2I$).	20
Hình 2.6: Cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc NPC.....	21
Hình 2.7: Giải thuật điều khiển cho nghịch lưu ba bậc nguồn Z và nghịch lưu ba bậc tựa nguồn Z.	23
Hình 2.8. Kỹ thuật dịch sóng mang để giảm độ gợn dòng điện của cuộn dây.....	24
Hình 2.9. Giản đồ vector cho cấu hình nghịch lưu 3 pha 3 bậc.....	25
Hình 2.10: Nghịch lưu 3 pha hình T sử dụng nhánh dự phòng.	29
Hình 2.11: Nghịch lưu 3 pha tựa nguồn Z hoạt động trong điều kiện bị lỗi.....	30
Hình 2.12 Những vector điện áp tham chiếu trong (a) điều kiện bình thường (b) lỗi pha A, (c) lỗi pha B, (d) lỗi pha C.....	30
Hình 2.13 Cấu hình $3L-qSBT^2I$	32
Hình 3.1: Cấu hình của $3L-qSBT^2I$	33
Hình 3.2: Trạng thái hoạt động của $3L-qSBT^2I$. (a) Trạng thái không ngắt mạch 1 (NST 1), (b) trạng thái không ngắt mạch 2 (NST 2), (c) trạng thái không ngắt mạch 3 (NST 3), (d) trạng thái không ngắt mạch 4 (NST 4) và (e) trạng thái ngắt mạch (ST).....	35
Hình 3.3: Phương pháp PWM điều khiển pha A cho $3L-qSBT^2I$	35
Hình 3.4: Mạch logic điều khiển PWM pha A cho $3L-qSBT^2I$	38
Hình 3.5: Phần trăm giảm của độ gợn dòng điện cuộn dây $3L-qSBT^2I$ so với nghịch lưu [48].	42

Hình 3.6: So sánh với cấu hình [30], [32], [46].	43
Hình 3.7: Điều khiển điện áp DC-link và điều khiển cân bằng điện áp trên tụ cho 3L-qSBT ² I.	43
Hình 3.8: Kết quả mô phỏng cho cấu hình 3L-qSBT ² I khi $V_{dc} = 180$ V và $d_1 = d_2 = 0.3$.	50
Hình 3.9: Kết quả mô phỏng cấu hình 3L-qSBT ² I khi $V_{dc} = 90$ V và $d_1 = d_2 = 0.7$.	50
Hình 3.10: Mô hình thực nghiệm cho cấu hình đề xuất 3L-qSBT ² I.	51
Hình 3.11 kết quả thực nghiệm cấu hình đề xuất khi $V_{dc} = 180$ V và $d_1 = d_2 = 0.3$.	52
Hình 3.12 Kết quả thực nghiệm cho cấu hình đề xuất 3L-qSBT ² I khi $V_{dc} = 90$ V và $d_1 = d_2 = 0.7$.	53
Hình 3.13 Kết quả thực nghiệm cân bằng điện áp tụ C_1 và C_2 và điện áp ngõ ra cho cấu hình đề xuất 3L-qSBT ² I.	56
Hình 4.1 Cấu hình 3L-qSBT ² I	58
Hình 4.2: Trạng thái hoạt động của 3L-qSBT ² I. (a) Trạng thái không ngắn mạch 1 (NST 1), (b) trạng thái không ngắn mạch 2 (NST 2), (c) trạng thái không ngắn mạch 3 (NST 3), (d) trạng thái không ngắn mạch 4 (NST 4) và (e) trạng thái ngắn mạch (ST).	59
Hình 4.3: Sơ đồ vector không gian của 3L ^T I.	63
Hình 4.4: Chuỗi xung và tín hiệu điều khiển của sector I cho 3L-qSBT ² I-ECMV.	65
Hình 4.5: Kết quả mô phỏng điện áp ngõ vào DC (V_{dc}), điện áp trên tụ (V_{C1} và V_{C2}) và dòng điện cuộn dây tăng áp (I_L) của phương pháp 3L-qSBT ² I-ECMV.	66
Hình 4.6: Kết quả mô phỏng điện áp DC-link, điện áp pha (V_{AG}) và CMV của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT ² I-ECMV.	67
Hình 4.7: Kết quả mô phỏng điện áp dây ngõ ra (V_{AB}), điện áp ngõ ra (V_{RA}) và dòng điện ngõ ra (I_A) của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT ² I-ECMV.	68
Hình 4.8: Mô hình thực nghiệm cho cấu hình 3L-qSBT ² I-ECMV.	68
Hình 4.9: Kết quả thực nghiệm của điện áp ngõ vào DC (V_{dc}), điện áp trên tụ C_1 và C_2 (V_{C1} và V_{C2}) và dòng điện cuộn dây tăng áp của 3L-qSBT ² I-ECMV.	69

Hình 4.10: Kết quả thực nghiệm của điện áp DC-link, điện áp pha (V_{AG}) và CMV của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT ² I-ECMV.....	69
Hình 4.11: Kết quả thực nghiệm điện áp dây ngõ ra (V_{AB}), điện áp ngõ ra (V_{RA}) và dòng điện ngõ ra (I_A) của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT ² I-ECMV.	70
Hình 4.12: Kết quả thực nghiệm phân tích THD của điện áp ngõ ra (V_{AG}). (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT ² I-ECMV.....	71
Hình 4.13: Kết quả thực nghiệm phân tích THD của dòng điện ngõ ra (I_A). (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT ² I-ECMV.....	71
Hình 5.1 Cấu hình 3L-qSBT ² I	73
Hình 5.2 Trạng thái hoạt động của chịu lỗi 3L-qSBT ² I trong những điều kiện lỗi khóa công suất	74
Hình 5.3 Những vector điện áp tham chiếu trong (a) điều kiện bình thường (b) lỗi pha A, (c) lỗi pha B, (d) lỗi pha C.	75
Hình 5.4 Phương pháp điều khiển PWM cho chịu lỗi 3L-qSBT ² I dưới những điều kiện (a) lỗi hở mạch của S_{1a} hoặc S_{3a} (b) lỗi hở mạch của T_1 hoặc T_2	81
Hình 5.5 Lưu đồ của phương pháp điều khiển đề xuất trước và sau lỗi.	85
Hình 5.6 Sự so sánh độ lợi điện áp giữa phương pháp [83], [84] và phương pháp đề xuất cho chịu lỗi 3L-qSBT ² I.	88
Hình 5.7 Biểu đồ tổn hao chuyển mạch và tổn hao dẫn cho chịu lỗi 3L-qSBT ² I. ...	90
Hình 5.8. Kết quả mô phỏng của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S_{1a}	91
Hình 5.9. Kết quả mô phỏng của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} khi tái cấu hình và chưa bù bởi những thông số điều khiển. .	92
Hình 5.10. Kết quả mô phỏng của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} khi tái cấu hình và bù bởi những thông số điều khiển.	92
Hình 5.11. Kết quả mô phỏng của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S_{2a} khi không thay đổi phương pháp điều chế.	93

Hình 5.12. Kết quả mô phỏng của chịu lỗi 3L qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S _{2a} khi thay đổi phương pháp điều chế.....	93
Hình 5.13. Kết quả mô phỏng của chịu lỗi 3L qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của T ₁ dưới điều kiện bình thường và lỗi hở mạch với phương pháp điều chế đề xuất.....	94
Hình 5.14. Kết quả mô phỏng của chịu lỗi 3L qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của T ₂ dưới điều kiện bình thường và lỗi hở mạch với phương pháp điều chế đề xuất.....	95
Hình 5.15. Mô hình thực cho chịu lỗi 3L-qSBT ² I.	95
Hình 5.16. Kết quả thực nghiệm của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S _{1a}	96
Hình 5.17. Kết quả thực nghiệm của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S _{1a} khi tái cấu hình và chưa bù những thông số điều khiển.	96
Hình 5.18. Kết quả thực nghiệm của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S _{1a} khi tái cấu hình và bù bởi những thông số điều khiển.	97
Hình 5.19. Kết quả thực nghiệm của chịu lỗi T 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S _{2a} khi không thay đổi phương pháp điều chế.	98
Hình 5.20. Kết quả thực nghiệm của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của S _{2a} khi thay đổi phương pháp điều chế. (a) Tín hiệu điều khiển và dòng điện ngõ ra, (b) những dạng sóng ngõ ra.	98
Hình 5.21. Kết quả thực nghiệm của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của T ₁ khi thay đổi phương pháp điều chế đề xuất. (a) điện áp DC-link và điện áp trên tụ C ₁ và C ₂ (b) những dạng sóng ngõ ra.	99
Hình 5.22. Kết quả thực nghiệm của chịu lỗi 3L-qSBT ² I dưới điều kiện hoạt động thông thường và lỗi của T ₂ khi thay đổi phương pháp điều chế đề xuất. (a) điện áp DC-link và điện áp trên tụ C ₂ và C ₁ (b) những dạng sóng ngõ ra.	100
Hình 5.23. Phổ sóng hài của dòng điện tải và điện áp pha. (a) dưới điều kiện hoạt động thông thường (b) sau khi lỗi hở mạch S _{1a} với tái cấu hình mạch và bù điện áp,	

(c) sau khi lỗi hở mạch của S_{2a} với kỹ thuật PWM đề xuất, (d) sau khi lỗi hở mạch của T_1 với kỹ thuật PWM đề xuất..... 101

Hình 5.24. Kết quả thực nghiệm của dòng quá độ của chịu lỗi 3L-qSBT²I dưới điều kiện lỗi hở mạch S_{1a} khi điện áp ngõ vào 30 V với: (a) Kỹ thuật điều chế xung PWM trong [84] và (b) phương pháp điều chế xung PWM đề xuất..... 102

DANH SÁCH BẢNG

Bảng 2.1. Trạng thái hoạt động của 3L-NPC-qSBI.....	22
Bảng 2.2 Biên độ các vector điện áp của mạch nghịch lưu 3 pha 3 bậc [50], [51] ..	26
Bảng 2.3 Thời gian tác dụng trong sector I	27
Bảng 3.1 Trạng thái kích đóng/ngắt của 3L-qSBT ² I (x=a, b, c).....	34
Bảng 3.2 Cấu hình đề xuất so với các cấu hình khác.....	44
Bảng 3.3: Những thông số được sử dụng trong mô phỏng và thực nghiệm.	48
Bảng 3.4: Giá trị điện áp theo lý thuyết, mô phỏng và thực nghiệm khi M = 0.7 và D ₀ = 0.3.....	54
Bảng 3.5: THD của điện áp ngõ ra (THD _v) và dòng điện ngõ ra (THD _i) khi M = 0.7 và D ₀ = 0.3.	55
Bảng 4.1: Trạng thái kích đóng/ngắt của 3L-qSBT ² I (x=a, b, c).....	59
Bảng 4.2: Giá trị điện áp common mode (CMV) của nghịch lưu hình T 3 bậc (3LT ² I).	62
Bảng 4.3: Chuỗi xung đóng/ngắt và phương pháp chèn xung 3L-qSBT ² I-ECMV..	65
Bảng 4.4: Thông số mô phỏng và thực nghiệm cho 3L-qSBT ² I-ECMV.....	66
Bảng 4.5: Phân tích THD của điện áp ngõ ra (THD _v) và dòng điện tải (THD _i).....	72
Bảng 5.1: Những góc pha chuẩn trong điều kiện bình thường và xảy ra lỗi.....	75
Bảng 5.2: Những trạng thái chuyển mạch của chịu lỗi 3L-qSBT ² I.....	78
Bảng 5.3: Những thông số các phần tử công suất được sử dụng trong cấu hình chịu lỗi 3L-qSBT ² I.....	89
Bảng 5.4: Thống kê tổn hao dẫn, tổn hao chuyển mạch và hiệu suất được sử dụng trong cấu hình chịu lỗi 3L-qSBT ² I.....	90
Bảng 5.5: Những thông số được sử dụng trong mô phỏng và thực nghiệm.	90
Bảng 5.6: THD của dòng tải và điện áp pha ở điều kiện bình thường và lỗi.....	102

MỞ ĐẦU

1. Tính cấp thiết của đề tài

Trong những năm gần đây, khi nguồn tài nguyên năng lượng đang ngày càng cạn kiệt, nhiệm vụ tìm kiếm và phát triển các nguồn năng lượng tái tạo là vô cùng cần thiết. Việc khai thác và sử dụng các nguồn năng lượng tái tạo như năng lượng gió, năng lượng mặt trời hay năng lượng thủy triều... đang được các nước trên thế giới nghiên cứu, phát triển rất mạnh mẽ vì tính bền vững, thân thiện với môi trường cũng như tiềm năng ứng dụng là vô tận. Mặt khác, giá nhiên liệu biến động, sự nóng lên của khí hậu toàn cầu, đặc biệt vấn đề ô nhiễm môi trường do lượng khí CO₂ thải ra môi trường rất lớn, đây cũng là một trong những lý do rất thuyết phục cho việc phát triển các nguồn năng lượng sạch. Mật độ khí CO₂ trong khí quyển cao nhất trong vòng 800.000 năm qua. Theo thống kê [1], mật độ khí CO₂ chạm ngưỡng 407,4 ppm trong năm 2018, dự báo năm 2019 là 410 ppm. Ngoài ra, hệ thống năng lượng từ thủy điện đã đạt đỉnh điểm do đã khai thác hết tiềm năng sẵn có và các công trình thủy điện có những tác động nghiêm trọng về môi trường có thể kể đến như phá vỡ cân bằng sinh học và cuộc sống của người dân trong lòng dự án [2].

Để khắc phục những vấn đề nêu trên, chính phủ Việt nam đã ban hành quyết định số: 11/2017/QĐ-TTg về cơ chế khuyến khích phát triển các dự án điện mặt trời tại Việt nam. Cụ thể từ ngày 01/6/2017, tập đoàn điện lực Việt nam (EVN) có trách nhiệm mua toàn bộ lượng điện từ các dự án điện mặt trời (ĐMT) nối lưới với giá mua điện tại điểm giao nhận điện là 2.086 đồng/kWh. Những chủ trương mang tính đột phá nêu trên đã khuyến khích nhiều nhà khoa học Việt nam đẩy mạnh việc nghiên cứu, khai thác và sử dụng nguồn năng lượng tái tạo cũng như để xây dựng một thị trường điện đảm bảo an ninh cung cấp điện với xu hướng tối ưu hóa hiệu quả đầu tư, thân thiện với môi trường.

Các bộ nghịch lưu có nhiệm vụ biến đổi điện áp một chiều (DC) thành điện áp xoay chiều (AC) để hòa vào lưới điện quốc gia. Chi phí để xây dựng các hệ thống năng lượng tái tạo khá cao trong khi ngân sách nhà nước có hạn, vì thế, chúng ta cần có những nghiên cứu về giải pháp công nghệ (đặc biệt là các bộ biến đổi DC/AC) cho các hệ thống năng lượng tái tạo có công suất nhỏ và vừa đảm bảo chi phí đầu tư

thấp, có chất lượng điện năng tốt đồng thời có khả năng đáp ứng sự thay đổi của thời tiết. Đối với hệ thống chuyển đổi năng lượng, nghịch lưu tăng áp, tính ổn định và độ tin cậy hệ thống là rất quan trọng và được thể hiện cụ thể như sau:

➤ **Nghịch lưu tăng áp**

Các bộ biến đổi DC/AC (nghịch lưu) có công suất nhỏ và vừa thông thường là các bộ nghịch lưu tăng áp và số bậc không quá cao, thường là 2 hoặc 3 bậc (để giảm chi phí). Do đó, những nhà nghiên cứu thường sử dụng một trong các cấu hình sau:

✚ DC/AC/AC (tăng áp diễn ra ở phần biến đổi AC/AC sử dụng máy biến áp tần số thấp).

✚ DC/DC/AC- tăng áp diễn ra ở bộ biến đổi DC/DC

✚ DC/AC/AC/DC/AC (Tăng áp với máy biến áp AC/AC tần số cao)

✚ DC/AC – tăng áp trực tiếp.

- Với cấu hình DC/AC/AC hệ thống điều khiển khá đơn giản. Tuy nhiên việc sử dụng biến áp tần số thấp làm tăng thêm kích thước, trọng lượng và tổn hao trên máy biến áp cũng như tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh.

- Với cấu hình DC/DC/AC điều khiển hai chặng và khả năng tăng áp tập trung ở bộ DC/DC, đây là một thách thức rất lớn cho bộ biến đổi DC-DC khi được ứng dụng trong lĩnh vực năng lượng tái tạo bởi vì chúng đòi hỏi độ lợi của bộ biến đổi rất lớn, kết quả là điện áp, dòng điện đặt trên các khóa khá lớn. Ngoài ra, việc tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh cũng là một nhược điểm lớn của cấu hình này. Kết quả là chất lượng của hệ thống giảm, gia tăng trọng lượng, kích thước và chi phí đầu tư cho hệ thống.

- Với cấu hình DC/AC/AC/DC/AC độ lợi điện áp nhỏ dẫn đến điện áp, dòng điện đặt trên các khóa thấp. Tuy nhiên do chuyển đổi nhiều chặng làm cho việc điều khiển trở nên phức tạp, tăng tổn hao, tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh. Kết quả là chất lượng của hệ thống giảm, gia tăng trọng lượng, kích thước và chi phí đầu tư cho hệ thống.

- Với cấu hình DC/AC chuyển đổi một chặng giải thuật điều khiển linh hoạt, khả năng chịu ngắn mạch của hai khóa trên cùng nhánh, độ lợi điện áp cao, điện áp đặt trên các khóa nhỏ, giảm các phần tử thụ động dẫn đến giảm kích thước, trọng lượng và chi phí cho hệ thống.

➤ **Khả năng triệt tiêu điện áp common mode**

Trong quá trình hoạt động, bộ nghịch lưu tạo ra điện áp common mode (CMV), quá trình này là nguyên nhân chính dẫn đến nhiều vấn đề bất lợi cho bộ nghịch lưu như: dòng rò, điện áp trục trong các ứng dụng điều khiển động cơ cũng như nhiễu điện từ. Các bộ biến đổi DC/AC (nghịch lưu) có khả năng triệt tiêu điện common mode trong hệ thống điện tử công suất nhỏ và vừa thường có những cấu hình và giải pháp sau:

- Giải pháp triệt tiêu điện common mode nghịch lưu truyền thống bằng cách thêm các phần tử thụ động.
 - Giải pháp triệt tiêu điện common mode nghịch lưu truyền thống bằng cách thay đổi giải thuật điều chế xung PWM.
 - Giải pháp triệt tiêu điện common mode nghịch lưu tựa nguồn Z và thay đổi giải thuật điều chế xung PWM.
- Với giải pháp triệt tiêu điện common mode nghịch lưu truyền thống bằng cách thêm các phần tử thụ động, giải pháp này khá đơn giản. Tuy nhiên, việc sử dụng bộ nghịch lưu truyền thống sẽ tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh. Ngoài ra, việc thêm các phần tử thụ động sẽ làm tăng thêm kích thước, trọng lượng và chi phí.
- Với giải pháp triệt tiêu điện common mode nghịch lưu truyền thống bằng cách thay đổi giải thuật điều chế xung PWM, giải pháp này khá phức tạp. Ngoài ra, việc sử dụng nghịch lưu truyền thống cũng sẽ tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh.
- Với giải pháp triệt tiêu điện common mode nghịch lưu tựa nguồn Z và thay đổi giải thuật điều chế xung PWM, giải pháp này khá phức tạp. Tuy nhiên, việc sử dụng nghịch lưu tựa nguồn Z sẽ giải quyết trạng thái ngắn mạch của hai khóa trên cùng một nhánh, đồng thời giảm kích thước, trọng lượng và chi phí.

➤ **Khả năng chịu lỗi hở mạch**

Tính ổn định và độ tin cậy của các hệ thống nghịch lưu rất quan trọng trong hệ thống phân phối công suất như là: hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới v. . .

Các bộ biến đổi DC/AC (nghịch lưu) có khả năng chịu lỗi trong hệ thống điện tử công suất nhỏ và vừa thường có những cấu hình và giải pháp sau:

- ✚ Giải pháp tái cấu hình (Reconfigured) nghịch lưu truyền thống bằng cách thêm nhánh dự phòng.
- ✚ Giải pháp tái cấu hình nghịch lưu truyền thống bằng cách thay đổi giải thuật điều chế xung PWM.
- ✚ Giải pháp tái cấu hình bằng nghịch lưu tựa nguồn Z và thêm nhánh dự phòng.
- ✚ Giải pháp tái cấu hình bằng nghịch lưu tựa nguồn Z và thay đổi giải thuật điều chế xung PWM.

- Với giải pháp tái cấu hình (Reconfigured) nghịch lưu truyền thống bằng cách thêm nhánh dự phòng, giải pháp này khá đơn giản. Tuy nhiên, việc sử dụng bộ nghịch lưu truyền thống sẽ tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh. Ngoài ra, việc thêm nhánh dự phòng sẽ làm tăng thêm kích thước, trọng lượng và chi phí.

- Với giải pháp tái cấu hình nghịch lưu truyền thống bằng cách thay đổi giải thuật điều chế xung PWM, giải pháp này khá phức tạp. Ngoài ra, việc sử dụng nghịch lưu truyền thống cũng sẽ tồn tại trạng thái ngắn mạch của hai khóa trên cùng một nhánh. Thêm vào đó, điện áp và dòng điện ngõ ra của hệ thống sẽ giảm đi $\sqrt{3}$ lần so với trạng thái bình thường ảnh hưởng đến hoạt động của hệ thống.

- Với giải pháp tái cấu hình bằng nghịch lưu tựa nguồn Z và thêm nhánh dự phòng, giải pháp này khá đơn giản. Thêm vào đó, việc sử dụng nghịch lưu tựa nguồn Z sẽ giải quyết trạng thái ngắn mạch của hai khóa trên cùng một nhánh. Tuy nhiên, việc thêm nhánh dự phòng sẽ làm tăng thêm kích thước, trọng lượng và chi phí.

- Với giải pháp tái cấu hình bằng nghịch lưu tựa nguồn Z và thay đổi giải thuật điều chế xung PWM, giải pháp này khá phức tạp. Mặt khác, sau khi tái cấu hình điện áp trên các phần tử thụ động và tích cực gia tăng một cách đáng kể. Tuy nhiên, việc sử dụng nghịch lưu tựa nguồn Z sẽ giải quyết trạng thái ngắn mạch của hai khóa trên cùng một nhánh, đồng thời giảm kích thước, trọng lượng và chi phí.

Kết luận:

Với những phân tích như trên, luận án này đề xuất: 1) cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T và giải thuật PWM với khả năng giảm độ

gọn dòng điện cuộn dây tăng áp và tăng độ lợi điện áp; 2) triệt tiêu điện áp common mode (CMV) cho nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T ở điều kiện hoạt động bình thường và 3) giải pháp tái cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T bằng cách thay đổi giải thuật điều chế xung PWM khi hệ thống xảy ra lỗi hở mạch của các khóa bán dẫn công suất.

2. Mục tiêu nghiên cứu của luận án

Phân tích khả năng tăng áp, chịu lỗi hở mạch của các khóa công suất và triệt tiêu điện áp common mode ở điều kiện hoạt động bình thường trong bộ nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T. Từ các kết quả nghiên cứu về nghịch lưu tăng áp và giải pháp giải quyết lỗi hở mạch các khóa công suất của các công trình nghiên cứu trước đó, luận án này sẽ đề xuất kỹ thuật PWM nhằm mục đích tăng độ lợi điện áp và giảm độ gợn sóng dòng điện trên cuộn dây tăng áp. Ngoài ra, giải thuật điều chế độ rộng xung (pulse width modulation - PWM) này được áp dụng để đề xuất giải pháp giải quyết lỗi hở mạch của các khóa bán dẫn của bộ chuyển đổi công suất. Mặt khác, trong trạng thái hoạt động bình thường của bộ nghịch lưu, luận án sẽ đề xuất kỹ thuật PWM dựa trên kỹ thuật điều chế xung vector không gian nhằm triệt tiêu điện áp common-mode cho bộ nghịch lưu mà vẫn đảm bảo được các ưu điểm của giải thuật điều chế độ rộng xung (pulse width modulation - PWM) đã đề xuất trước đó.

Trên cơ sở giải thích toán học về nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T (3L-qSBT²I), kỹ thuật triệt tiêu điện áp common mode (ECMV) bằng cách thay đổi giải thuật điều chế xung PWM và giải pháp tái cấu hình (reconfigured) khi xảy ra lỗi hở mạch các khóa công suất sao cho kỹ thuật điều khiển phù hợp với các mục tiêu theo sau:

- a) Giảm điện áp đặt trên các phần tử công suất thụ động và tích cực so với cấu hình tương tự;
- b) Giảm THD điện áp pha tải so với cấu hình tương tự;
- c) Triệt tiêu điện áp common mode ở điều kiện hoạt động bình thường so với cấu hình tương tự.
- d) Cải thiện thông số điều khiển so với cấu hình tương tự;

e) Giải thuật tái cấu hình (reconfigured) mạch khi hai khóa công suất ở mạng nguồn kháng bị hở mạch.

3. Đối tượng và phạm vi nghiên cứu

Đối tượng nghiên cứu trong luận án là: nghịch lưu tăng áp trực tiếp (phần cứng), giải thuật điều khiển nghịch lưu tăng áp với khả năng triệt tiêu điện áp common mode ở điều kiện hoạt động bình thường và chịu lỗi hở mạch các khóa công suất (phần mềm).

Công trình nghiên cứu này giới hạn cho bộ nghịch lưu công suất nhỏ, kỹ thuật điều khiển chỉ giới hạn giải quyết 5 yêu cầu:

- a) Giảm điện áp đặt trên các phần tử công suất thụ động và tích cực so với cấu hình tương tự;
- b) Giảm THD điện áp pha tải so với cấu hình tương tự (cùng tỉ số ngắn mạch);
- c) Triệt tiêu điện áp common mode (ECMV) khi bộ chuyển đổi hoạt động ở điều kiện bình thường so với cấu hình tương tự;
- d) Cải thiện thông số điều khiển so với cấu hình tương tự;
- e) Giải thuật tái cấu hình mạch khi hai khóa công suất ở mạng nguồn kháng cũng như các khóa công suất ở nhánh nghịch lưu hình T bị lỗi hở mạch.

4. Cách tiếp cận và phương pháp nghiên cứu

a. Cách tiếp cận

Các đối tượng nghiên cứu (cấu hình và giải pháp điều khiển) sẽ được tiếp cận trực tiếp, trên cơ sở đó tác giả phân tích những điểm mạnh và điểm yếu của những công trình nghiên cứu đã được công bố gần đây trên các tạp chí khoa học chuyên ngành có uy tín sau đó đưa ra các kết luận.

Tác giả đã sử dụng phương pháp tiếp cận toán học của các đối tượng được nghiên cứu để từ đó có các kết luận có giá trị định lượng.

b. Lựa chọn phương pháp nghiên cứu

+ Phương pháp phân tích: được thực thi bằng cách phân tích toán học điện áp và dòng điện của bộ nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T hỗ trợ cho luận án có kế hoạch tiếp cận một cách cụ thể, có khoa học và xác định đúng trọng tâm nghiên cứu.

+ Phương pháp mô phỏng: giải pháp giảm độ gợn dòng điện của cuộn dây tăng áp, nâng cao độ lợi điện áp, cải thiện giải thuật giảm điện áp đặt trên phần tử thụ động và tích cực, giải pháp triệt tiêu điện áp common mode (ECMV) và giải pháp tái cấu hình mạch (reconfigured) giúp hệ thống vẫn hoạt động bình thường khi xảy ra lỗi hở mạch các khóa công suất bán dẫn (không thêm bất kỳ phần tử nào). Những kết quả nghiên cứu đều được kiểm chứng trên phần mềm PSIM nhằm thể hiện tính tương minh và độ tin cậy trong miền khảo sát kỳ vọng.

+ Phương pháp thực nghiệm trên mô hình thực nghiệm: những kết quả nghiên cứu được kiểm chứng trên mô hình thực nghiệm với vi điều khiển được sử dụng phổ biến như DSP-F28335 và FPGA ALTERA EP2C5 cũng như các thiết bị đo chuyên dụng (dao động ký, máy phân tích công suất, đồng hồ . . . của các hãng sản xuất có uy tín trên thế giới) giúp nâng cao độ tin cậy của các phép đo và kết quả thu thập được đảm bảo tính khả thi khi triển khai thương mại.

+ Phương pháp thống kê, phân tích nhằm làm rõ hơn các kết luận.

5. Đóng góp mới về mặt khoa học dự kiến và ý nghĩa thực tiễn của luận án

a. Đóng góp mới dự kiến về mặt khoa học của luận án

✓ Đề xuất giải thuật điều khiển mới cho nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với các mục tiêu theo sau:

✚ Giảm điện áp đặt trên các phần tử công suất thụ động và tích cực so với cấu hình tương tự;

✚ Giảm độ gợn dòng điện của cuộn dây tăng áp;

✚ Giảm THD điện áp pha tải so với cấu hình tương tự với cùng tỉ số ngắn mạch;

✚ Tăng độ lợi điện áp so với cấu hình tương tự với cùng tỉ số ngắn mạch.

✓ Đề xuất giải thuật SVPWM triệt tiêu điện áp common mode khi hệ thống ở điều kiện hoạt động bình thường;

✓ Đề xuất giải thuật tái cấu hình mạch khi một trong hai khóa công suất ở mạng nguồn kháng bị hở mạch.

b. Ý nghĩa thực tiễn của luận án

Việc nghiên cứu các giải pháp điều khiển mới sẽ giúp bộ nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T có những ưu điểm theo sau: a) giảm điện áp đặt trên bán dẫn công suất, cải thiện thông số điều khiển, cải thiện THD điện áp pha tải, (b)

triệt tiêu điện áp common mode và (c) hệ thống vẫn duy trì hoạt động khi hai khóa công suất ở mạng nguồn kháng cũng như các khóa công suất phía nghịch lưu bị lỗi hở mạch. Luận án này sẽ góp phần nâng cao chất lượng điện năng, độ tin cậy và tính ổn định của hệ thống.

🔧 Việc ứng dụng nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với khả năng tăng áp, triệt tiêu điện áp common mode và chịu lỗi hở mạch các khóa công suất phù hợp với những ứng dụng hệ thống nghịch lưu.

🔧 Việc đề xuất giải thuật mới giúp cho hệ thống có những ưu điểm như: giảm tổng độ méo dạng sóng hài (THD) điện áp pha tải và giảm điện áp đặt trên các bán dẫn công suất và các phần tử thụ động, khả năng triệt tiêu điện áp common mode và hệ thống vẫn duy trì hoạt động khi xảy ra lỗi hở mạch các khóa công suất.

🔧 Các giải thuật đề xuất cũng cho phép làm giảm kích thước, trọng lượng, chi phí thiết bị và góp phần nâng cao chất lượng điện năng của bộ nghịch lưu. Khi đó, hỗ trợ cho việc chế tạo và tự chủ công nghệ với chi phí hợp lý nhằm nâng cao khả năng cạnh tranh của các bộ nghịch lưu.

🔧 Các thông số của linh kiện và những phương pháp điều khiển được lựa chọn sao cho tiệm cận với các thiết bị thực tế để tăng khả năng cạnh tranh thị trường năng lượng tái tạo.

6. Cấu trúc dự kiến của luận án

Cấu trúc dự kiến của luận án gồm 6 chương:

Chương 1: Tổng quan nghịch lưu tăng áp, triệt tiêu điện áp common mode và khả năng chịu lỗi hở mạch các khóa công suất;

Chương 2: Phân tích toán học nghịch lưu tăng áp, triệt tiêu điện áp common mode và khả năng chịu lỗi hở mạch các khóa công suất;

Chương 3: Nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T (3L qSBT²I);

Chương 4: Kỹ thuật điều chế vector không gian cho nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T có khả năng triệt tiêu điện áp common mode;

Chương 5: Nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với khả năng chịu lỗi hở mạch các khóa công suất;

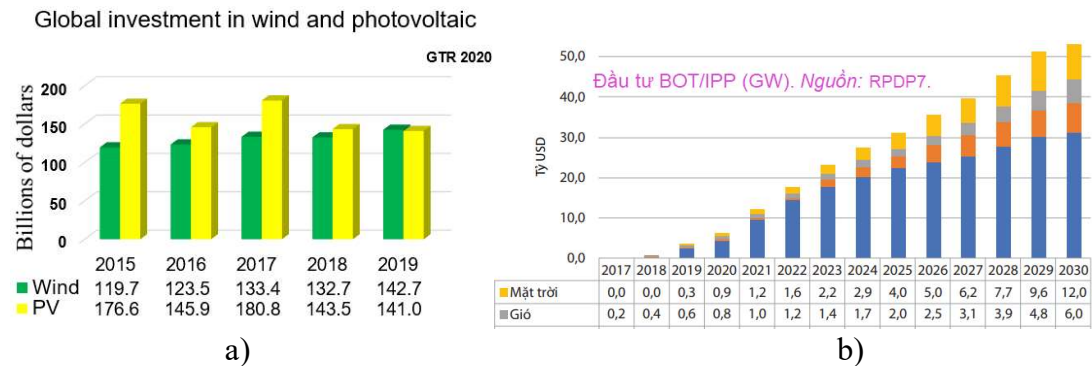
Chương 6: Kết luận và hướng phát triển.

Chương 1: Tổng quan nghịch lưu tăng áp, triệt tiêu điện áp common mode và khả năng chịu lỗi hở mạch các khóa công suất

1.1. Quá trình phát triển nguồn năng lượng tái tạo.

Năng lượng tái tạo đang có sự phát triển mạnh mẽ vì tính bền vững và thân thiện với môi trường trong khi tiềm năng ứng dụng là vô cùng lớn [3]. Trong những năm gần đây, năng lượng tái tạo trên thế giới có mức tăng trưởng đáng kể so với mức tăng trưởng của năng lượng từ điện gió mỗi năm [trích từ nguồn năng lượng Việt nam]. Năng lượng sạch đã được nghiên cứu và triển khai một cách mạnh mẽ bởi các nước có mức ô nhiễm không khí gần như là báo động: Trung Quốc, Ấn Độ và Việt nam. Các quốc gia này đã đầu tư rất lớn cho nguồn năng lượng sạch nhằm cải tạo môi trường đang bị ô nhiễm nặng nề, xoa dịu áp lực của các nhà hoạt động môi trường quốc tế cũng như vượt qua khủng hoảng kinh tế.

Vì các nước trên thế giới đã tập trung khai thác năng lượng mặt trời cho nên chi phí pin mặt trời ngày càng giảm, điều này kích thích cho các nước Châu Á (nổi bật nhất là Ấn Độ và Trung Quốc tiêu thụ lượng năng lượng nhiều nhất thế giới) có những kế hoạch của họ trong tương lai gần. Vì những lý do này, năng lượng mặt trời ngày càng phát triển một cách mạnh mẽ, đơn cử qua khảo sát [4] cho thấy chi phí đầu tư cho năng lượng mặt trời ngày càng tăng.



Hình 1.1. Chi phí đầu tư cho năng lượng mặt trời và điện gió của thế giới

Đối với những hệ thống cung cấp điện của một số nước có diện tích lớn và các khu vực là hải đảo cách ly với hệ thống điện lưới, chi phí đầu tư hệ thống truyền tải siêu cao áp xuyên quốc gia là một rào cản lớn. Do đó, một giải pháp đang được sử dụng ở các quốc gia này là sử dụng nguồn điện từ hệ thống năng lượng tái tạo bằng acquy hay pin mặt trời [5]. Phương tiện giao thông như xe điện lai hoặc sử dụng

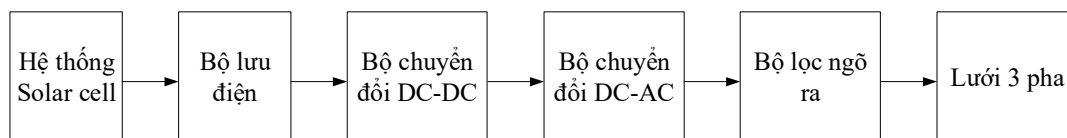
hoàn toàn bằng điện được quan tâm bởi chính phủ các nước và người tiêu dùng [6]. Nguồn dự phòng (UPS) được sử dụng rộng rãi trong các hệ thống tải quan trọng như hệ thống thông tin, máy tính, hệ thống điện bệnh viện, ngân hàng . . . Vì vậy, UPS yêu cầu cung cấp điện áp và tần số không đổi trong mọi điều kiện vận hành. Một bộ phận không thể thiếu trong hệ thống nguồn dự phòng là bộ nghịch lưu [7].

Tại Việt nam, năm 2016, quốc hội hủy bỏ dự án điện hạt nhân nguyên tử [trích từ nguồn văn phòng Chính phủ] do nhiều lo ngại liên quan đến môi trường và lý do tài chính. Các dự án thủy điện và nhiệt điện đóng góp phần lớn vào hệ thống điện quốc gia. Tuy nhiên, hệ thống năng lượng từ thủy điện đã đạt đỉnh điểm do đã khai thác hết tiềm năng sẵn có và các công trình thủy điện có những tác động nghiêm trọng về môi trường [2]. Việc tìm kiếm nguồn năng lượng mới đủ sức cung ứng sự thiếu hụt năng lượng điện hiện tại và tương lai là nhu cầu cấp bách. Thông tư số 16/2017/TT-BCT và thông tư bổ sung số 05/2019/TT-BCT của bộ Công thương quy định những ưu đãi và khuyến khích phát triển các dự án và hợp đồng mua bán điện mặt trời. Những thông tư và chính sách khuyến khích trên đã thúc đẩy nhiều dự án điện mặt trời được xây dựng, góp phần lớn vào giảm tải cho hệ thống điện quốc gia.

Thông tư số 39 /2015/TT-BCT nêu rõ những yêu cầu về chất lượng điện năng nguồn điện chuyển đổi cho hệ thống điện nối lưới như chất lượng điện áp, dòng điện, tần số ngõ ra, độ méo dạng sóng hài . . . Do đó, việc đảm bảo chất lượng bộ nghịch lưu tốt là vấn đề cần quan tâm hàng đầu trong hệ thống điện mặt trời, điện gió nối lưới tại Việt nam.

Bên cạnh đó, nhằm mục đích xã hội hóa ngành điện với mục tiêu giảm sự đầu tư cơ sở vật chất của nhà nước, những năm gần đây Việt nam đã xuất hiện thêm các doanh nghiệp mua bán điện nhằm tăng sự cạnh tranh, kích thích phát triển ngành điện, các doanh nghiệp này đầu tư đường dây mới để sản xuất nguồn điện phân tán. Gần đây, nhiều nguồn điện phân tán đã sử dụng năng lượng mặt trời mà những nguồn điện phân tán này yêu cầu chất lượng điện năng phải tốt hơn.

Với những lý do đã nêu ở trên những ứng dụng nguồn năng lượng mặt trời như: nghịch lưu nối lưới, hệ thống điện không ngắt, xe điện . . . , những bộ biến đổi DC/DC và bộ nghịch lưu DC/AC nguồn áp đóng một vai trò rất quan trọng và được mô tả ở Hình 1.2.



Hình 1.2 Cấu trúc hệ thống nghịch lưu

1.2. Khái quát về nghịch lưu tăng áp

Trong những năm gần đây, bộ nghịch lưu nguồn áp (Voltage source inverters-VSIs) đóng vai trò rất quan trọng trong hệ thống phân phối công suất bởi vì chúng chuyển đổi nguồn công suất DC thành nguồn công suất AC để kết nối lưới. VSIs đa bậc có nhiều ưu điểm như là chất lượng điện năng tốt, yêu cầu bộ lọc ngõ ra nhỏ, điện áp đặt trên các khóa bán dẫn thấp, điện áp và công suất cao và nhiễu điện từ (EMI) thấp [8] - [11]. VSIs ba bậc thường được sử dụng rộng rãi trong công nghiệp như là trong hệ thống phân phối công suất, động cơ AC, xe điện lai, hệ thống năng lượng tái tạo (PV), những nguồn cung cấp liên tục (UPS) và những hệ thống bù StatCom [12]-[22]. Trong thực tế, VSIs thông thường chỉ cung cấp chuyển đổi công suất giảm áp bởi vì điện áp cực đại ngõ ra AC không thể cao hơn điện áp nguồn DC, điều này gây khó khăn cho những ứng dụng hệ thống năng lượng tái tạo, nơi mà điện áp ngõ vào thấp cần được chuyển đổi thành điện áp ngõ ra AC mong muốn. Theo một số bài báo [23]-[29] những bộ chuyển đổi DC-DC được sử dụng để tăng điện áp ngõ vào (cho bộ chuyển đổi DC-AC). Tuy nhiên, các nghịch lưu tăng áp trong [23]-[29] chỉ cung cấp chuyển đổi công suất hai chặng mà việc chuyển đổi đó rất khó cho việc điều khiển do sự độc lập của hai bộ biến đổi. Mặt khác, trạng thái ngắn mạch (Short Through-ST) việc mà cả hai khóa công suất trên cùng một nhánh pha (phía nghịch lưu) cùng dẫn trong một thời gian là không cho phép trong nghịch lưu tăng áp hai chặng bởi vì nó có thể là nguyên nhân gây nên sự ngắn mạch điện áp DC-link (ngõ ra của bộ chuyển đổi DC-DC) và phá hủy thiết bị. Nghịch lưu nguồn Z (ZSIs) đầu tiên được trình bày trong năm 2002-2003 bởi F. Z. Peng [30]-[35] nhằm khắc phục nhược điểm của các nghịch lưu thông thường. Trong [30], hai mạng nguồn Z độc lập được kết nối nối tiếp với nhau nhằm tạo ra ba bậc điện áp tại ngõ ra cung cấp năng lượng cho bộ nghịch lưu NPC 3 bậc truyền thống. Điều này giúp cải thiện chất lượng điện áp ngõ ra. Tuy nhiên, cấu hình nghịch lưu nguồn Z còn tồn tại một số nhược điểm như dòng điện ngõ vào không liên tục cũng như điện

áp đặt trên tụ điện còn khá lớn. Để cải thiện dòng điện ngõ vào và giảm điện áp đặt trên các phần tử thụ động, một mạng quasi Z source (qZS) được đề xuất trong [36]-[40].

Tuy nhiên, mạng nguồn Z và mạng qZS sử dụng khá nhiều phần tử thụ động làm cho kích thước, trọng lượng và chi phí của thiết bị gia tăng. Gần đây, nhiều nhà nghiên cứu đã phát triển nghịch lưu quasi-switched boost (qSBI) được đề xuất trong [41]-[49] để thay thế, bởi vì chúng sử dụng ít phần tử thụ động mà vẫn giữ được các tính năng như: chịu đựng ngắn mạch, chuyển đổi công suất một chạng và có khả năng hoạt động tăng, giảm áp. So sánh với [30]-[35] nghịch lưu được trình bày trong [43]-[47] có nhiều hơn hai khóa tích cực nhưng giảm phần lớn các phần tử thụ động. Gần đây, nghịch lưu tăng áp 3 bậc hình T một nguồn được trình bày (1S3L-qSBI) [48], [49]. So sánh với những nghịch lưu được trình bày trong [43]-[48], [49] có những tính năng ưu việt như: a) giảm độ gợn dòng điện ngõ vào, b) độ lợi điện áp cao, c) tối ưu chỉ số điều chế.

1.3. Khái quát về kỹ thuật điều chế xung bằng vector không gian

Bởi vì, sự vượt trội về biên độ và chất lượng điện áp ngõ ra, cho nên kỹ thuật điều chế vector không gian (SVM) được áp dụng cho 3L qSBT²I như đã trình bày trong [52]-[57]. Do không chứa vector zero trong một số khu vực của sơ đồ vector không gian vì thế những phương pháp điều chế trong [52]-[57] chỉ áp dụng phương pháp ngắn mạch nửa trên và ngắn mạch nửa dưới. Tuy nhiên, phương pháp ngắn mạch nửa trên và nửa dưới chỉ hoạt động với những vector nhỏ để đảm bảo độ lợi điện áp ngõ ra của bộ chuyển đổi. Vì vậy, khả năng tăng áp được tăng lên trong khi chất lượng điện áp ngõ ra được cải thiện một cách đáng kể.

Trong quá trình hoạt động, bộ nghịch lưu tạo ra điện áp common mode (CMV), quá trình này là nguyên nhân chính dẫn đến nhiều vấn đề bất lợi cho bộ nghịch lưu như: dòng rò, điện áp trục trong các ứng dụng điều khiển động cơ cũng như nhiễu điện từ trong tài liệu [58], [59] đã trình bày. Kết quả cho thấy rằng, động cơ điện sẽ bị giảm tuổi thọ hoặc ảnh hưởng đến các thiết bị điện tử khác hoạt động gần bộ nghịch lưu. Một phương pháp giảm biên độ của điện áp common mode được thảo luận trong [60], [61]. Trong phương pháp này, vector tham chiếu được tổng hợp bằng cách sử dụng những vector lớn, vector trung bình và vector zero. Phương pháp

tổng hợp này giúp giới hạn biên độ của điện áp common mode từ $-V_{dc_link}/6$ đến $V_{dc_link}/6$. Dựa vào phương pháp [60], [61], chuỗi xung sau đó được cải thiện để chèn vào trạng thái ngắn mạch mà vẫn đảm bảo khả năng tăng áp, trong khi biên độ của điện áp common mode vẫn duy trì như [60], [61] và được ứng dụng cho nghịch lưu tựa nguồn Z trong [62]. Tuy nhiên, những phương pháp này chưa triệt tiêu common mode hoàn toàn. Một kỹ thuật triệt tiêu common mode được ứng dụng trong cấu hình nghịch lưu năm bậc dựa vào kỹ thuật điều chế vector không gian (SVM) và kỹ thuật SinPWM được đề xuất trong [63]-[66]. Tuy nhiên, những phương pháp vừa nêu trên vẫn còn một số nhược điểm: chỉ giảm điện áp common mode hoặc triệt tiêu common mode nhưng bộ chuyển đổi phải làm việc như một bộ chuyển đổi công suất giảm áp.

1.4. Khái quát về nghịch lưu tăng áp với khả năng chịu lỗi

Tính ổn định và độ tin cậy của bộ nghịch lưu rất quan trọng trong hệ thống phân phối công suất như là: hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới [67]-[73]. Trong những cấu hình này, nhiều trường hợp lỗi có thể xảy ra trong quá trình hoạt động của bộ chuyển đổi đã được nghiên cứu. Trong thực tế, lỗi các khóa công suất thường được chia thành hai loại, đó là lỗi ngắn mạch và lỗi hở mạch.

Lỗi ngắn mạch có thể xuất hiện do một số nguyên nhân như quá áp, sai tín hiệu tại bộ khuếch đại và cách ly hoặc quá nhiệt độ. Lỗi hở mạch thường xảy ra bởi mất tín hiệu tại bộ khuếch đại cách ly và dòng điện cực C quá cao cũng như nhiệt độ cao tại các khóa công suất [74]-[76]. So với lỗi hở mạch, lỗi ngắn mạch không duy trì trạng thái hoạt động bởi vì dòng điện gia tăng đột biến và có thể phá hủy các khóa công suất trong thời gian rất ngắn. Vì lý do đó, hai phương pháp chuẩn đoán lỗi và điều khiển lỗi được thực hiện bởi những mạch phân cứng [77]-[79]. Trong khi đó, so với những lỗi ngắn mạch, những lỗi hở mạch dễ giải quyết, tuy nhiên dòng điện ngõ ra bị méo dạng, nhiều dẫn đến giảm chất lượng điện năng của bộ chuyển đổi. Do sự tồn tại của các vấn đề vừa nêu, với nhiều nỗ lực, tác giả đã thực hiện những phương pháp phát hiện lỗi và điều khiển lỗi được trình bày trong [80]-[86]. Trong [80], trình bày phương pháp chuẩn đoán lỗi hở mạch bằng cách xem xét vị trí của khóa lỗi và diode kẹp bị lỗi của nghịch lưu NPC mà không thêm bất cứ phân cứng

hoặc những chuyển mạch phức tạp. Hiệu suất của nghịch lưu hình T được cải thiện một cách đáng kể bằng cách áp dụng thuật toán chịu lỗi khi xảy ra lỗi hở mạch. Phương pháp này không yêu cầu thêm bất kỳ nhánh dự phòng hay tính toán phức tạp [81]. Để duy trì điện áp ngõ ra, một bộ nghịch lưu hai mạng nguồn Z với trạng thái bị lỗi khóa công suất được trình bày trong [82], ngoài ra việc loại bỏ điện áp common mode cũng được đề cập trong bài báo này. Mặt khác, nghịch lưu chịu lỗi ba bậc hình T tựa nguồn Z ($qZST^2I$) được nghiên cứu trong [83] với phần lớn là các phần tử công suất thụ động. Nghịch lưu chịu lỗi ba bậc hình T tựa nguồn Z hoạt động dựa vào phương pháp thay đổi tín hiệu điều chế sau khi lỗi khóa công suất xảy ra mà không cần thêm bất cứ nhánh dự phòng và tính toán phức tạp. Hơn nữa, bằng cách sử dụng cấu hình tăng áp tựa khóa chuyển mạch trong [84], cấu hình này có thể hoạt động khi xảy ra lỗi hở mạch khóa công suất hình T bằng phương pháp thay đổi tín hiệu điều chế. Tuy nhiên, dòng quá độ trong trạng thái hở mạch khóa công suất không được khảo sát trong [84]. Mặt khác, những kết quả thực nghiệm của nghịch lưu tăng áp chịu lỗi ba bậc trong [84] không hoàn chỉnh vì chỉ khảo sát ở trạng thái xác lập. Những kỹ thuật điều chế trong [83] và [84] có một số bất lợi trong trạng thái lỗi, cụ thể nghịch lưu hoạt động với tỉ số ngắn mạch lớn hơn so với hoạt động bình thường, độ gợn sóng dòng điện qua cuộn dây tăng áp cao. Bởi vì chúng sử dụng tỉ số ngắn mạch (D) lớn và chỉ số điều chế M nhỏ dẫn đến gia tăng độ méo dạng sóng hài ngõ ra và điện áp đặt trên các khóa công suất cao hơn so với [85]. Việc áp dụng cấu hình nghịch lưu nguồn Z sẽ cho phép tăng cung cấp công suất chịu được các điều kiện ngắn mạch như trình bày trong [85]. Một nghiên cứu khác trên cấu hình nghịch lưu ba bậc với hai mạng nguồn Z cho những ứng dụng chịu lỗi được nghiên cứu trong [86]. Cấu hình này bao gồm hai bộ nghịch lưu nguồn Z ghép lại với nhau, ngõ ra là ba bậc khi hoạt động ở chế độ bình thường và là hai bậc khi chúng hoạt động ở chế độ lỗi.

Kết luận:

Trong chương 1, tác giả trình bày tổng quan các nghiên cứu bộ nghịch lưu tăng áp truyền thống cũng như các bộ nghịch lưu tăng áp nguồn Z, bộ nghịch lưu tăng áp tựa nguồn Z và bộ nghịch lưu tăng áp tựa khóa chuyển mạch. Tổng quan về kỹ thuật giảm và triệt tiêu điện áp common mode cho cấu hình nghịch lưu tăng áp ba bậc

hình T. Tổng quan về kỹ thuật chịu lỗi hở mạch của các khóa công suất cho cấu hình nghịch lưu tăng áp ba bậc hình T ở trong nước và nước ngoài. Tuy nhiên, các nghiên cứu đã nêu trên còn tồn tại các vấn đề như: a) độ gợn sóng dòng điện trên cuộn dây còn khá cao, độ lợi điện áp chưa cao, tổng độ méo dạng sóng hài cao, b) điện áp common mode còn cao và c) khả năng chịu lỗi của các khóa công suất phía nghịch lưu hình T cũng như mạng nguồn kháng chưa tốt. Trong luận án này, tác giả sẽ tập trung nghiên cứu các vấn đề tồn tại như vừa nêu ở trên.

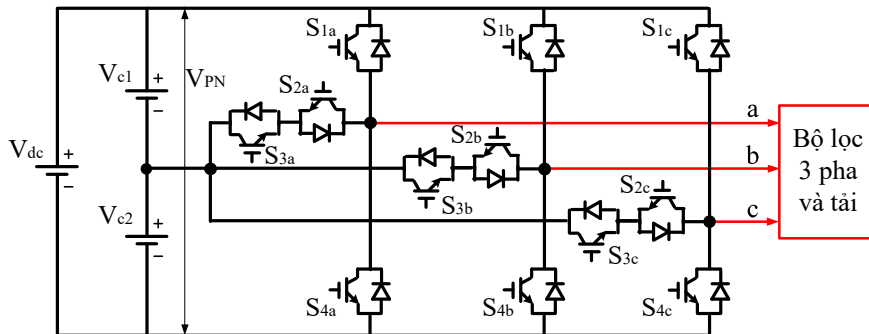
Chương 2: phân tích toán học nghịch lưu tăng áp, điện áp common mode và khả năng chịu lỗi hở mạch các khóa công suất

2.1. Cơ sở lý thuyết về nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T

2.1.1. Cấu hình nghịch lưu truyền thống

Các cấu hình nghịch lưu áp truyền thống bao gồm những cấu hình nghịch lưu: nghịch lưu diode kẹp (NPC), nghịch lưu ghép tầng (Cascade) và nghịch lưu tụ kẹp (Flying Capacitor), những năm gần đây một số cấu hình nghịch lưu mới được đề xuất và cho thấy một số ưu điểm như cấu hình lai (Hybrid), cấu hình nghịch lưu hình T. Hình 2.1 biểu diễn cấu hình nghịch lưu 3 pha 3 bậc hình T gồm 12 khóa bán dẫn $S_{1x}-S_{4x}$.

Với cấu hình nghịch lưu truyền thống như trình bày ở Hình 2.1 là bộ chuyển đổi giảm áp, bên cạnh đó hai khóa bán dẫn trên cùng một nhánh (S_{1x} và S_{4x} , S_{2x} và S_{3x} và S_{4x}) là không cho phép cùng dẫn trong một thời điểm vì sẽ xảy ra hiện tượng ngắn mạch làm hư hỏng thiết bị.



Hình 2.1: Bộ nghịch lưu hình T (T-Type) ba pha truyền thống.

Điện áp ngõ ra của nghịch lưu ba bậc hình T truyền thống được xác định theo phương trình (2.1):

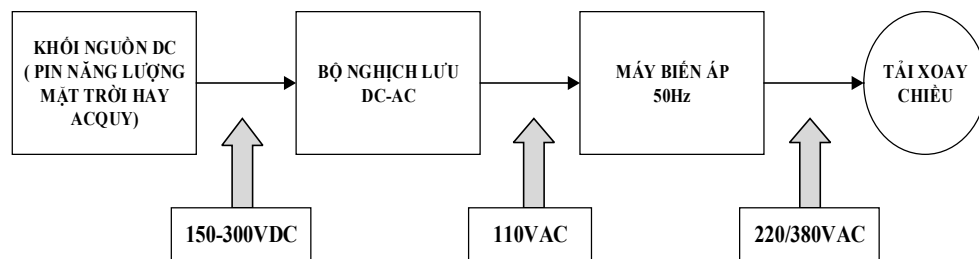
$$\hat{v}_x = \frac{M \cdot V_{PN}}{2} = M \cdot V_C \quad (2.1)$$

Với M là chỉ số điều chế, V_{PN} điện áp trên thanh cái, V_C là điện áp trên tụ C .

Đối với những nguồn năng lượng mới như: pin mặt trời (PV), pin nhiên liệu (Fuel Cell)..., điện áp ngõ ra của các dạng năng lượng này là điện áp một chiều có giá trị điện áp thấp, không ổn định phụ thuộc theo thời gian, phụ thuộc vào môi trường làm việc. Khi sử dụng các nguồn năng lượng mới này, việc chuyển đổi thành

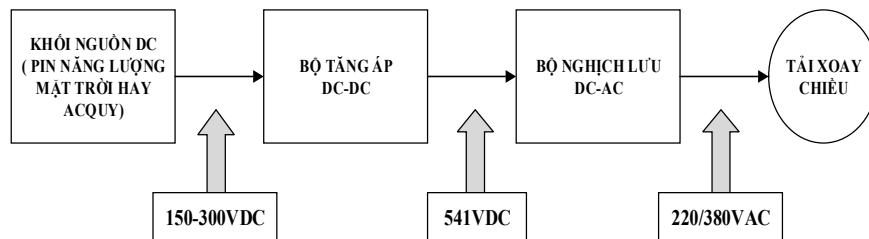
điện áp xoay chiều 220V/380V đòi hỏi điện áp một chiều trước khi đưa vào bộ nghịch lưu phải có giá trị lớn hơn 541 V_{DC} ($V_{dc} = \frac{2 \cdot 220 \cdot \sqrt{2}}{2 / \sqrt{3}} = 541V$).

Điện áp một chiều có giá trị lớn này có thể thực hiện bằng cách mắc nối tiếp các tấm pin điện áp thấp với nhau, đồng nghĩa với số lượng pin phải nhiều và lắp đặt trên diện tích rộng. Điều này chỉ thích hợp với hệ thống công suất lớn. Với những hệ thống công suất nhỏ, để tạo ra điện xoay chiều 220V/380 từ nguồn điện áp thấp, người ta thường dùng máy biến áp tần số thấp 50 Hz (Hình 2.2) hay bộ tăng áp điện một chiều (DC-DC Boost Converter) (Hình 2.3) để tăng điện áp xoay chiều ngõ ra.



Hình 2.2: Sơ đồ khối của bộ nghịch lưu truyền thống sử dụng máy biến áp tần số thấp 50Hz.

Các tấm pin mặt trời hoặc pin nhiên liệu được kết nối với nhau tạo thành một dãy nguồn áp một chiều có điện áp thay đổi từ 150 V đến 300 V (tùy thuộc vào môi trường và điều kiện làm việc). Điện áp này sau khi qua bộ nghịch lưu sẽ có điện áp xoay chiều 110 V. Sau đó người ta sử dụng máy biến áp 50 Hz để nâng mức điện áp theo yêu cầu phía tải. Đối với giải pháp sử dụng máy biến áp tần số thấp này hiệu quả không cao vì làm tăng kích thước, tạo nhiều sóng hài, nhiễu, hiệu suất làm việc thấp, không ổn định và ít được sử dụng. Giải pháp thứ hai dùng bộ tăng áp DC-DC như trình bày ở Hình 2.3 hiện nay đang được sử dụng phổ biến.



Hình 2.3: Sơ đồ khối của bộ nghịch lưu truyền thống sử dụng bộ tăng áp một chiều

Tuy nhiên, những cấu hình nghịch lưu truyền thống kết hợp với bộ tăng áp DC/DC đầu vào có một vài bất lợi đó là:

- ✚ Sử dụng hai bộ chuyển đổi (DC-DC và DC-AC) khả năng phối hợp giữa hai chặng kém.

- ✚ Vấn đề ngắn mạch của hai khóa bán dẫn trên cùng một nhánh của nghịch lưu chưa được giải quyết.

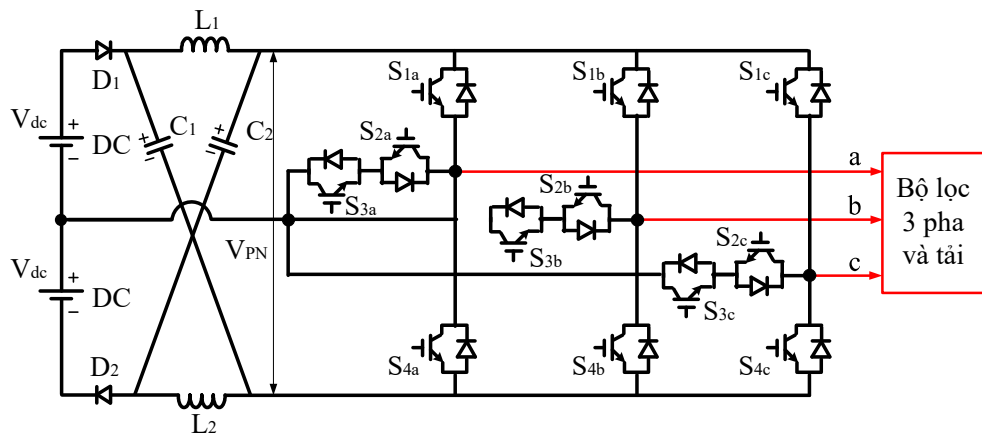
Để giải quyết những nhược điểm của bộ nghịch lưu truyền thống, bộ nghịch lưu nguồn-Z (Z-source inverter) đã được đề xuất [30]-[35] với các đặc tính cơ bản:

- ✚ Có khả năng tăng áp, giảm áp với một chặng chuyển đổi duy nhất (Single-Stage) DC – AC.

- ✚ Cho phép cả hai khóa bán dẫn trên cùng một nhánh cùng dẫn đồng thời. Do đó không cần sử dụng các bộ dead-time trong quá trình điều khiển các khóa bán dẫn, vì thế tổng độ méo dạng sóng hài của điện áp ngõ ra (THD) được giảm và hiệu suất bộ chuyển đổi được cải thiện.

2.1.2. Bộ nghịch lưu nguồn -Z

Hình 2.4 trình bày bộ nghịch lưu nguồn-Z [16]. Mạng nguồn-Z được kết nối giữa hai nguồn DC đầu vào và bộ nghịch lưu. Mạng nguồn Z này bao gồm hai cuộn cảm có giá trị bằng nhau, hai tụ điện có giá trị bằng nhau và hai diode.



Hình 2.4: Bộ nghịch lưu 3 bậc hình T nguồn-Z (3L-ZST²I).

Mạch nghịch lưu ba bậc hình T nguồn Z sử dụng một mạch điện kháng gồm 2 tụ điện và 2 cuộn cảm được nối với nhau hình chữ X (Hình 2.4). Ưu điểm của cấu hình này:

- ✚ Có khả năng tăng áp, giảm áp với một chặng chuyển đổi duy nhất (Single-Stage) DC – AC.

✚ Cho phép cả hai khóa bán dẫn trên cùng một nhánh cùng dẫn đồng thời. Do đó không cần sử dụng các bộ dead-time trong quá trình điều khiển các khóa bán dẫn, vì thế độ méo dạng của điện áp ngõ ra (THD) được giảm và hiệu suất bộ chuyển đổi được cải thiện.

Tuy nhiên, bất lợi của cấu hình này là dòng điện ngõ vào không liên tục dẫn đến việc hạn chế cho các ứng dụng trong hệ thống PV và Pin nhiên liệu [37].

Nguyên lý hoạt động của nghịch lưu 3 bậc nguồn Z dựa vào hai trạng thái chính: trạng thái không ngắn mạch (NST) và trạng thái ngắn mạch (ST). Trong trạng thái NST mạch nghịch lưu hoạt động tương tự như một bộ nghịch lưu 3 bậc hình T truyền thống ở đó năng lượng được chuyển từ nguồn DC sang điện áp pha – tâm nguồn. Trong khoảng thời gian hoạt động, điện áp pha – tâm nguồn đạt được mức điện áp “ $+V_{PN}/2$ ” khi được kích đóng khóa S_{1x} , S_{2x} hoặc đạt được mức điện áp “ $-V_{PN}/2$ ” khi được kích khóa S_{3x} , S_{4x} và bằng “ $0 V$ ” khi kích khóa S_{2x} , S_{3x} . Kết quả là, cả nguồn “ V_{dc} ” ngõ vào và các cuộn cảm “ L_1, L_2 ” nạp cho tụ điện “ C_1, C_2 ” cũng như cung cấp năng lượng cho tải, trong khoảng thời gian này 2 diode D_1 và D_2 được phân cực thuận. Tương tự, trong trạng thái ST, các khóa “ S_{1x}, S_{4x} ” (với $x = a, b, c$) của nghịch lưu hình T được kích đóng “ON”. Do đó, các tụ điện “ C_1, C_2 ” sẽ nạp cho cuộn dây “ L_1 và L_2 ”, trong khoảng thời gian này 2 diode D_1 và D_2 được phân cực ngược. Điện áp DC-link của nghịch lưu 3 bậc hình T nguồn Z được xác định là [16]:

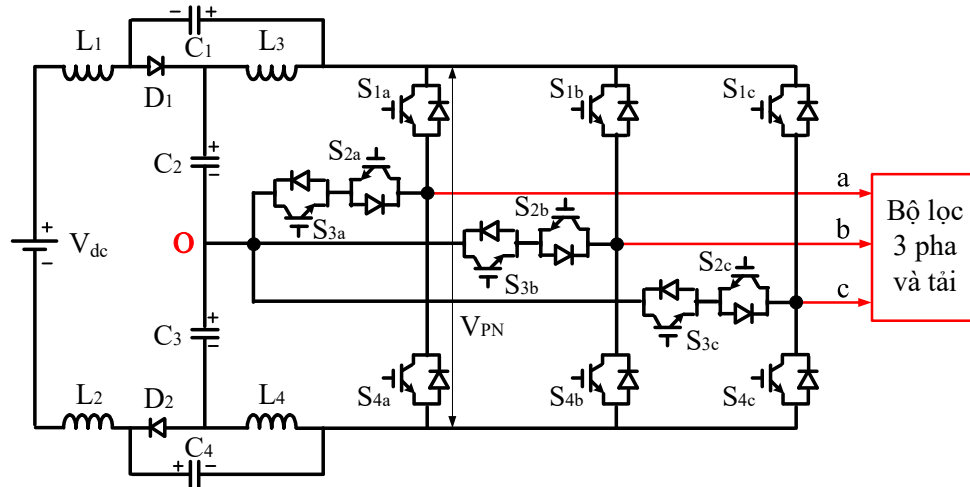
$$V_{PN} = \frac{2V_{dc}}{1 - 2D_0} \quad (2.2)$$

Điện áp ngõ ra của nghịch lưu 3 bậc hình T nguồn Z được xác định là:

$$\hat{v}_x = \frac{M \cdot V_{PN}}{2} = \frac{M}{1 - 2D_0} V_{dc} \quad (2.3)$$

2.1.3. Bộ nghịch lưu hình T 3 bậc tựa nguồn Z (3L-qZST²I)

Các nhà nghiên cứu [21]-[24] đã trình bày cấu hình qZSI nhằm khắc phục dòng đầu vào không liên tục. Cấu hình này được trình bày như Hình 2.5:



Hình 2.5: Bộ nghịch lưu hình T tựa nguồn Z ba bậc (3L-qZST²I).

Mạch nghịch lưu hình T tựa nguồn Z ba bậc sử dụng một mạng nguồn kháng gồm 4 tụ điện và 4 cuộn cảm được nối với nhau (Hình 2.5). Ưu điểm của cấu hình này:

- ✚ Có khả năng tăng-giảm áp với một chặng chuyển đổi duy nhất (Single-Stage) DC – AC.

- ✚ Cho phép cả hai khóa bán dẫn trên cùng một nhánh cùng dẫn đồng thời. Do đó không cần sử dụng các bộ dead-time trong quá trình điều khiển các khóa bán dẫn, vì thế độ méo dạng của điện áp ngõ ra (THD) được giảm và hiệu suất bộ chuyển đổi được cải thiện.

- ✚ Dòng điện ngõ vào được cải thiện phù hợp với hệ thống có công suất trung bình và thấp như hệ thống solar cell, pin nhiên liệu, . . .

Tuy nhiên, sự bất lợi của cấu hình này là sử dụng quá nhiều phần tử thụ động mà điều này sẽ làm gia tăng chi phí, kích thước và trọng lượng của hệ thống.

Nguyên lý hoạt động của nghịch lưu hình T tựa nguồn Z ba bậc dựa vào hai trạng thái chính: trạng thái không ngắn mạch (NST) và trạng thái ngắn mạch (ST). Trong trạng thái ngắn mạch (NST) mạch nghịch lưu hình T tạo ra 3 mức điện áp “ $+V_{PN}/2$ ”, “ $0 V$ ” và “ $-V_{PN}/2$ ”, trên mỗi pha ngõ ra bằng cách kích dẫn các khóa bán dẫn một cách thích hợp. Ngõ ra đạt được mức điện áp “ $+V_{PN}/2$ ”, khi kích đóng S_{1x} và S_{2x} , khi kích dẫn S_{2x} và S_{3x} điện áp ngõ ra sẽ là “ $0 V$ ” và mức điện áp “ $-V_{PN}/2$ ”, đạt được khi kích dẫn S_{3x} và S_{4x} . Trong trạng thái này, năng lượng từ nguồn DC và 4 cuộn dây được truyền sang điện áp pha – tâm nguồn qua mạch nghịch lưu hình T.

Tương tự, tụ C_2 và C_3 được nạp từ nguồn V_{dc} và 2 cuộn dây L_1 và L_2 , tụ điện C_1 và C_4 được nạp điện từ cuộn dây L_3 và L_4 . Quá trình này được thực hiện thông qua việc diode D_1 và D_2 được phân cực thuận. Trong trạng thái ngắn mạch (ST), tất cả các khóa bán dẫn trên nhánh nghịch lưu đều được kích đóng. Tụ điện tụ C_2 và C_3 nạp cho cuộn dây L_3 và L_4 . Tụ điện C_1, C_4 và nguồn V_{dc} nạp cho cuộn dây L_1 và L_2 , diode D_1 và D_2 bị phân cực ngược. Điện áp trên thanh cái (V_{PN}) của nghịch lưu hình T tựa nguồn Z ba bậc được xác định là:

$$V_{PN} = \frac{V_{dc}}{1 - 2D_0} \quad (2.4)$$

Điện áp ngõ ra của nghịch lưu hình T tựa nguồn Z ba bậc được xác định là:

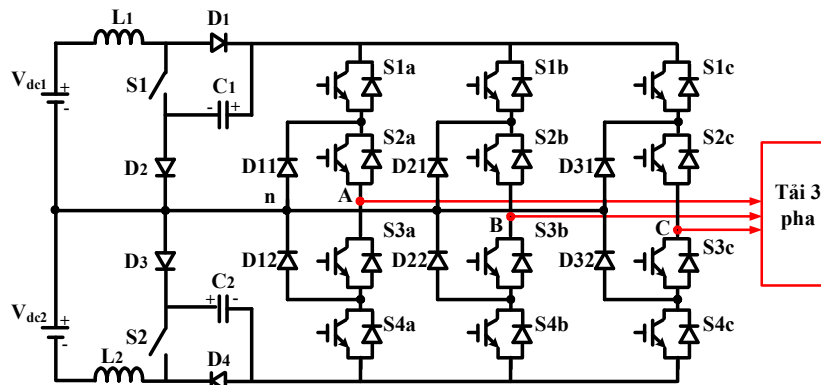
$$\hat{v}_x = \frac{M \cdot V_{PN}}{2} = \frac{M}{2(1 - 2D_0)} V_{dc} \quad (2.5)$$

2.1.4. Cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc NPC (3L-NPC-qSBT²I).

Như đã trình bày, các cấu hình nghịch lưu tăng áp ba bậc ở trên vẫn còn tồn tại những bất lợi cần được cải thiện như:

- ✚ Dòng điện ngõ vào không liên tục trong nghịch lưu nguồn Z.
- ✚ Cấu hình sử dụng nhiều phân tử thụ động gây nên chi phí cao, trong nghịch lưu nguồn Z và nghịch lưu tựa nguồn Z (so sánh cùng độ lợi).

Để khắc phục các bất lợi như đã trình bày ở trên các nhà khoa học [47]-[48] đã phát triển cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc NPC (3L-NPC-qSBI) và được trình bày như sau:



Hình 2.6: Cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc NPC

Nguyên lý hoạt động của nghịch lưu 3L-NPC-qSBI dựa trên hai chế độ: chế độ không ngắn mạch (NST) và chế độ ngắn mạch (ST) như trình bày ở Bảng 2.1.

Bảng 2.1. Trạng thái hoạt động của 3L-NPC-qSBI

Trạng thái	Kích dẫn các khóa chuyển mạch	Các Diode được phân cực thuận	V_{Xn}
NST	S_{1x}, S_{2x}	D_1, D_2, D_3, D_4	$+V_C$
	S_{2x}, S_{3x}		0
	S_{3x}, S_{4x}		$-V_C$
ST	$S_1, S_2, S_{1x}, S_{2x}, S_{3x}, S_{4x}$		0

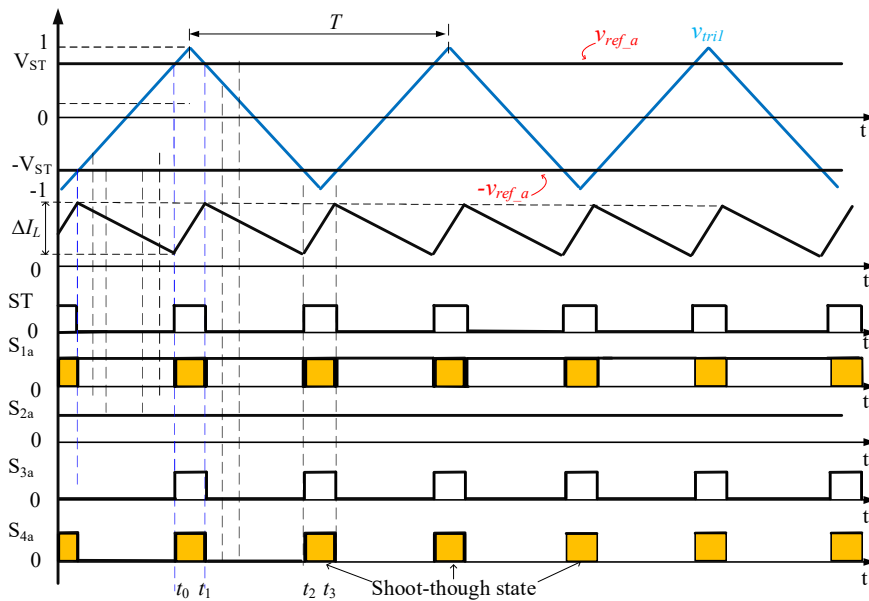
Trong trạng thái không ngắn mạch (NST), hai khóa bán dẫn S_1 và S_2 của mạng nguồn kháng được kích ngắt đồng thời, mạch nghịch lưu hoạt động tương tự như một mạch nghịch lưu 3 bậc truyền thống. Kết quả là, các diode D_1, D_2, D_3, D_4 được phân cực thuận, tụ điện C_1 và C_2 được nạp năng lượng từ nguồn ngõ vào và cuộn dây L_1 và L_2 . Trong trạng thái này, điện áp “ $+V_C$ ” được tạo ra tại ngõ ra của bộ nghịch lưu bằng cách kích đóng các khóa S_{1x} và S_{2x} ($x = a, b, c$). Điện áp “ $0V$ ” giữa ngõ ra và trung tính nguồn được tạo ra bằng cách kích đóng các khóa S_{2x} và S_{3x} đồng thời. Trong khi đó, khi khóa S_{3x} và S_{4x} được kích dẫn, điện áp ngõ ra so với trung tính nguồn có giá trị “ $-V_C$ ”. Trong trạng thái ngắn mạch (ST), tất cả các khóa bán dẫn trên nhánh nghịch lưu được kích dẫn (S_{1x}, S_{2x}, S_{3x} và S_{4x}) đồng thời với hai khóa bán dẫn của mạng nguồn kháng S_1 và S_2 , điều này làm phân cực ngược các diode D_1, D_2, D_3 và D_4 . Do đó, điện áp ngõ vào V_{dc1} và tụ điện C_1 sẽ nạp cho cuộn dây L_1 , đồng thời điện áp ngõ vào V_{dc2} và tụ điện C_2 nạp cho cuộn dây L_2 . Điện áp trên tụ điện của nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc NPC được xác định:

$$V_C = \frac{V_{dc}}{(1-2D_0)} \quad (2.6)$$

Điện áp ngõ ra của nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc NPC được xác định theo phương trình (2.7):

$$\hat{v}_x = \frac{M \cdot V_{PN}}{2} = M \cdot V_C = \frac{M \cdot V_{dc}}{(1-2D_0)} \quad (2.7)$$

Từ phương trình (2.1) với nghịch lưu truyền thống để đạt được điện áp ngõ ra 220V thì điện áp ngõ vào phải ít nhất là 541 V_{dc} . Vì vậy, để ứng dụng cho các hệ thống năng lượng tái tạo (điện áp DC thấp trong khoảng 12-100 V_{dc}) thì các bộ nghịch lưu truyền thống phải có thêm một bộ chuyển đổi DC-DC. Tuy nhiên, việc sử dụng nghịch lưu hai chặng chuyển đổi DC-DC, DC-AC thì việc khai thác giữa hai chặng chưa thực sự tối ưu. Do đó, để khắc phục những bất lợi của các nghịch lưu đã trình bày ở trên, nghịch lưu nguồn Z được đề xuất để thay thế bằng cách chèn các xung ngắn mạch vào các vector không (vector zero) bên phía nghịch lưu được thực hiện như Hình 2.7 nhằm đảm bảo khả năng tăng áp mà không ảnh hưởng đến điện áp ngõ ra:

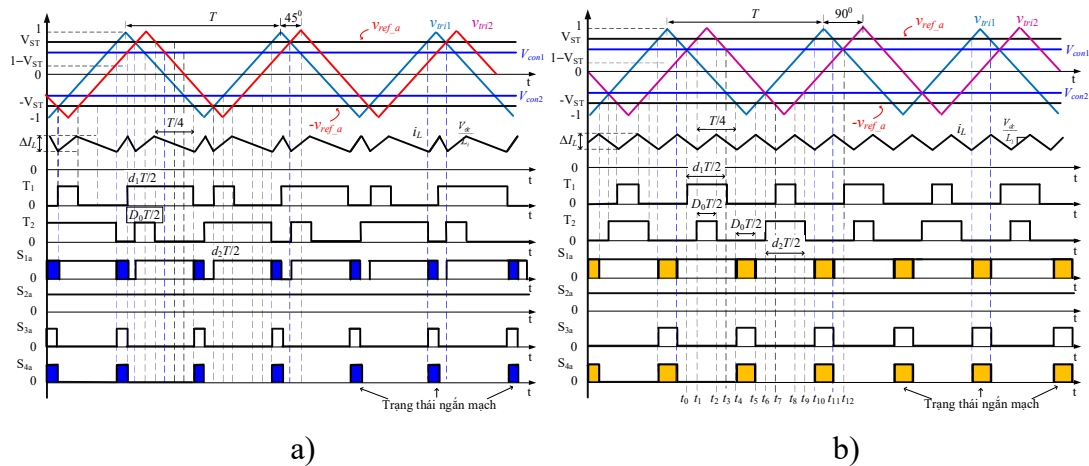


Hình 2.7: Giải thuật điều khiển cho nghịch lưu ba bậc nguồn Z và nghịch lưu ba bậc tựa nguồn Z.

Hình 2.7 giải thuật điều khiển cho nghịch lưu ba bậc nguồn Z bằng phương pháp sử dụng giải thuật ngắn mạch đồng thời bởi các khóa nghịch lưu (S_{1a} - S_{4a}). Với phương pháp chèn xung ngắn mạch cho mạch nghịch lưu như trình bày ở Hình 2.7 điện áp DC-link tăng lên mà không ảnh hưởng đến điện áp ngõ ra. Mặt khác, với phương pháp ngắn mạch đồng thời sẽ giải quyết những vấn đề mà nghịch lưu truyền thống tồn tại.

Nghịch lưu nguồn Z được phát triển bởi F. Z. Peng vào 2003 đã được khai thác và phát triển rất nhiều. Tuy nhiên cho đến nay rất nhiều nhà nghiên cứu [30]-[35] đã

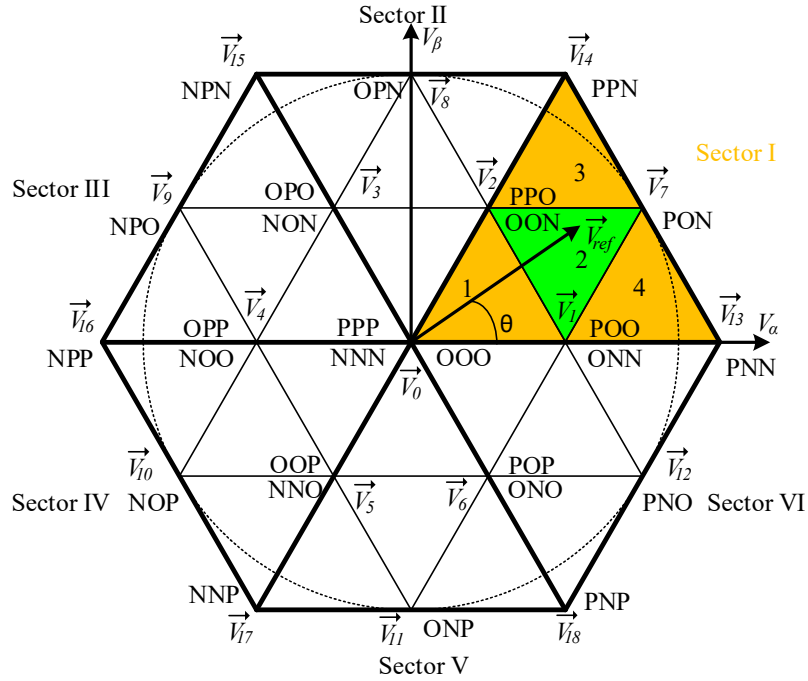
cải thiện giải thuật dựa trên ý tưởng nghịch lưu nguồn Z điển hình như [49] sử dụng giải thuật dịch sóng mang so với sóng mang chuẩn để giảm độ gợn dòng điện của cuộn dây cũng như cải thiện độ lợi điện áp. Kỹ thuật điều khiển PWM theo phương pháp dịch pha (PS), sóng mang được dịch trong phạm vi từ 0° đến 180° . Tuy nhiên, vị trí sóng mang ở góc pha nào là phù hợp cho việc giảm độ gợn dòng điện của cuộn dây tăng áp là một vấn đề rất quan trọng. Điều này sẽ ảnh hưởng đến kết luận của luận án trên cơ sở khoa học. Hình 2.8 trình bày sóng mang được dịch pha 45° và 90° :



Hình 2.8. Kỹ thuật dịch sóng mang để giảm độ gợn dòng điện của cuộn dây

Như hình 2.8 a) trường hợp dịch pha sóng mang 45° so với sóng mang chuẩn (trường hợp 135° đối xứng với trường hợp 45°). Kết quả tỷ số ngắn mạch D_0 bị giới hạn khi hoạt động khi áp dụng kỹ thuật chèn xung xen kẽ. Mặt khác cạnh xuống của xung được mở rộng ra, điều này làm cho quá trình nạp xả cuộn dây tăng áp không đối xứng, cũng như phân bố công suất giữa mạng nguồn kháng và bộ nghịch lưu. Ngoài ra, quá trình điều khiển PWM không đối xứng sẽ phức tạp cho quá trình điều khiển. Trường hợp dịch sóng mang 180° so với sóng mang chuẩn, sóng mang chuẩn và sóng mang dịch pha 180° sẽ đối xứng nhau. Điều này làm cho kỹ thuật điều khiển PWM chỉ áp dụng dụng kỹ thuật chèn xung đồng thời. Như đã phân tích ở trên, dịch sóng mang một góc 90° là giải pháp duy nhất cho việc giảm độ gợn dòng điện, phân bố công suất giữa mạng nguồn kháng và bộ nghịch lưu cũng như tăng hệ số tăng áp. Việc phát triển giải thuật dịch sóng mang 90° so với sóng mang chuẩn như hình 2.8 b) sẽ được tác giả phân tích và giải thích rõ ở chương 3.

2.2 Cơ sở lý thuyết về kỹ thuật SVPWM



Hình 2.9. Giản đồ vector cho cấu hình nghịch lưu 3 pha 3 bậc

Việc đóng/ngắt các khóa bán dẫn trên nhánh nghịch lưu sẽ tạo ra điện áp tương ứng tại ngõ ra so với tâm nguồn, đối với mạch nghịch lưu 3 bậc, điện áp ngõ ra sẽ có ba giá trị được đại diện bởi 3 trạng thái là P , O và N . Trong đó P đại diện cho mức điện áp dương tại ngõ ra, O đại diện cho mức điện áp 0 V tại ngõ ra và N đại diện cho mức điện áp âm tại ngõ ra. Tập hợp trạng thái ngõ ra của 3 pha sẽ tạo được một vector đại diện cho trạng thái hoạt động của mạch nghịch lưu. Vì mỗi pha có 3 trạng thái, do đó, mạch nghịch lưu 3 bậc có thể hoạt động ở 27 trạng thái khác nhau, được biểu diễn như Hình 2.9.

Vị trí của mỗi vector trên Hình 2.9 có tọa độ $[V_\alpha, V_\beta]$ được xác định bởi phương trình (2.8):

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{\sqrt{2}}{\sqrt{3}} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} V_{AO} \\ V_{BO} \\ V_{CO} \end{bmatrix} \quad (2.8)$$

Trong đó, V_{AO}, V_{BO}, V_{CO} là điện áp ngõ ra so với tâm nguồn của mạch nghịch lưu. Có thể biểu diễn các vector của mạch nghịch lưu dưới dạng biên độ và góc pha như sau:

$$\vec{V}_x = \sqrt{V_\alpha^2 + V_\beta^2} \cdot e^{j \cdot \arctan(V_\alpha/V_\beta)} \quad (2.9)$$

Bảng 2.2 Biên độ các vector điện áp của mạch nghịch lưu 3 pha 3 bậc [50], [51]

Vector	Trạng thái	Biên độ	Trạng thái	Biên độ	Trạng thái	Biên độ
Zero	[OOO]	0	[PPP]	0	[NNN]	0
Loại P nhỏ	[POO] [OPP]	$V_{PN}/3$	[PPO] [OOP]	$V_{PN}/3$	[OPO] [POP]	$V_{PN}/3$
Loại N nhỏ	[ONN] [NOO]	$V_{PN}/3$	[OON] [NNO]	$V_{PN}/3$	[NON] [ONO]	$V_{PN}/3$
Trung bình	[PON] [NOP]	$V_{PN}/\sqrt{3}$	[OPN] [ONP]	$V_{PN}/\sqrt{3}$	[NPO] [PNO]	$V_{PN}/\sqrt{3}$
Lớn	[PNN] [NPP]	$2V_{PN}/3$	[PPN] [NPN]	$2V_{PN}/3$	[NPN] [PNP]	$2V_{PN}/3$

Với \vec{V}_{ref} là vector điện áp tham chiếu đại diện cho điện áp ngõ ra của 3 pha, được tính theo phương trình (2.10):

$$\vec{V}_{ref} = \begin{bmatrix} V_{\alpha} \\ V_{\beta} \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} V_{AG} \\ V_{BG} \\ V_{CG} \end{bmatrix} \quad (2.10)$$

Trong đó, V_{AG}, V_{BG}, V_{CG} là sóng hài bậc một của điện áp ngõ ra ba pha so với tâm tải được tính theo công thức:

$$\begin{cases} V_{AG} = M \frac{V_{PN}}{\sqrt{3}} \sin(\theta) \\ V_{BG} = M \frac{V_{PN}}{\sqrt{3}} \sin(\theta - 2\pi/3) \\ V_{CG} = M \frac{V_{PN}}{\sqrt{3}} \sin(\theta + 2\pi/3) \end{cases} \quad (2.11)$$

Với M là chỉ số điều chế:

$$0 \leq M \leq 1 \quad (2.12)$$

Thay biểu thức (2.11) vào biểu thức (2.10), có thể chứng minh được, với giá trị θ thay đổi từ 0 đến 2π , \vec{V}_{ref} có biên độ cố định với giá trị là $MV_{PN}/\sqrt{3}$ và góc pha thay đổi từ 0 đến 2π . Cụ thể, \vec{V}_{ref} được biểu diễn thông qua phương trình sau:

$$\vec{V}_{ref} = M \cdot \frac{V_{PN}}{\sqrt{3}} \cdot e^{j\theta} \quad (2.13)$$

Ý tưởng chính của phương pháp vector không gian là sử dụng một vector điện áp tham chiếu \vec{V}_{ref} có biên độ không đổi và góc pha thay đổi từ $0 \div 2\pi$ đại diện cho điện áp ngõ ra ba pha của bộ nghịch lưu. \vec{V}_{ref} sẽ thay đổi trong giản đồ vector không gian Hình 2.9, giản đồ vector này sẽ được phân chia thành nhiều vùng để thuận tiện cho việc tổng hợp \vec{V}_{ref} . Việc phân chia này phụ thuộc vào mục đích của việc tổng hợp, ví dụ, để giảm THD điện áp ngõ ra hoặc giảm biên độ CMV, ... Giả sử, giản đồ vector trong trường hợp này được chia thành 6 sector được đánh số từ I đến VI, mỗi sector được chia thành 4 phần được đánh số từ 1 đến 4, được biểu diễn như Hình 2.9.

Tùy vào vị trí điểm mút của \vec{V}_{ref} mà nó sẽ được tổng hợp bởi các vector thành phần. Giả sử, \vec{V}_{ref} nằm ở sector I và vùng 2 như được biểu diễn ở Hình 2.9. Lúc này, \vec{V}_{ref} sẽ được tổng hợp bởi các vector $\vec{V}_1, \vec{V}_2, \vec{V}_7$ theo phương trình (2.14):

$$\vec{V}_{ref}.T_s = \vec{V}_1.T_a + \vec{V}_2.T_b + \vec{V}_7.T_c \quad (2.14)$$

Trong đó, T_s là chu kỳ đóng/ngắt các khóa của mạch nghịch lưu và T_a, T_b, T_c là thời gian tồn tại của các vector $\vec{V}_1, \vec{V}_2, \vec{V}_7$ trong một chu kỳ T_s . Có thể tính toán thời gian tác dụng của các vector thành phần trong vùng 2 sector I như sau:

$$\begin{cases} t_a = T_s - 2M.T_s \sin(\theta) \\ t_b = 2M.T_s \sin(\pi/3 + \theta) - T_s \\ t_c = T_s - 2M.T_s \sin(\pi/3 - \theta) \end{cases} \quad (2.15)$$

Thời gian tồn tại của các vector thành phần khi vector \vec{V}_{ref} nằm trong các sector khác được thực hiện một cách tương tự. Bảng 2.3 trình bày thời gian tác dụng khi \vec{V}_{ref} nằm trong sector I.

Bảng 2.3 Thời gian tác dụng trong sector I

Vùng	T_a	T_b	T_c
1	$2M.T_s \sin\left(\frac{\pi}{3} - \theta\right)$	$T_s - 2M.T_s \sin\left(\frac{\pi}{3} + \theta\right)$	$2M.T_s \sin(\theta)$
2	$T_s - 2M.T_s \sin(\theta)$	$2M.T_s \sin\left(\frac{\pi}{3} + \theta\right) - T_s$	$T_s - 2M.T_s \sin\left(\frac{\pi}{3} - \theta\right)$
3	$2M.T_s \sin(\theta) - T_s$	$2M.T_s \sin\left(\frac{\pi}{3} - \theta\right)$	$2T_s - 2M.T_s \sin\left(\frac{\pi}{3} + \theta\right)$
4	$2T_s - 2M.T_s \sin\left(\frac{\pi}{3} + \theta\right)$	$2M.T_s \sin(\theta)$	$2M.T_s \sin\left(\frac{\pi}{3} - \theta\right) - T_s$

Sau khi xác định thời gian tồn tại của mỗi vector trong một chu kỳ sóng mang thỏa mãn phương trình (2.14), các vector $\vec{V}_1, \vec{V}_2, \vec{V}_7$ sẽ được sắp xếp theo một trật tự tùy ý vào một chu kỳ T_s . Khi đó, tại mỗi thời điểm bất kỳ, luôn luôn xác định được duy nhất một vector trạng thái hoạt động của mạch nghịch lưu. Từ đó, xác định được trạng thái đóng/ngắt của các khóa trong mạch.

Với các mô tả trên, có thể thấy rằng phương pháp điều chế vector không gian là một phương pháp điều khiển tương minh bộ nghịch lưu và có thể chọn được trạng thái hoạt động của mạch nghịch lưu. Từ đó, giúp cho việc điều khiển bộ nghịch lưu theo các mục tiêu khác nhau trở nên dễ dàng hơn. Tuy nhiên, so sánh với giải thuật sử dụng các tín hiệu dạng sine và tam giác để tạo ra xung kích cho các khóa, phương pháp này được thực hiện với khối lượng tính toán và độ phức tạp cao hơn. Đây là một nhược điểm đối với phương pháp này. Tuy nhiên, với sự phát triển của vi điều khiển, vấn đề này được giải quyết không mấy khó khăn. Lúc này, các ưu điểm của kỹ thuật này được bộc lộ một cách tối đa, cho thấy sự vượt trội trong điều khiển. Do đó, ngày nay, phương pháp này đang được quan tâm và phát triển.

2.3 Cơ sở lý thuyết về nghịch lưu tăng áp với khả năng chịu lỗi

Tính ổn định và độ tin cậy của bộ nghịch lưu rất quan trọng trong hệ thống phân phối công suất như là: hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới [67]-[73]. Trong những cấu hình này, nhiều trường hợp lỗi có thể xảy ra trong quá trình hoạt động của bộ chuyển đổi đã được nghiên cứu.

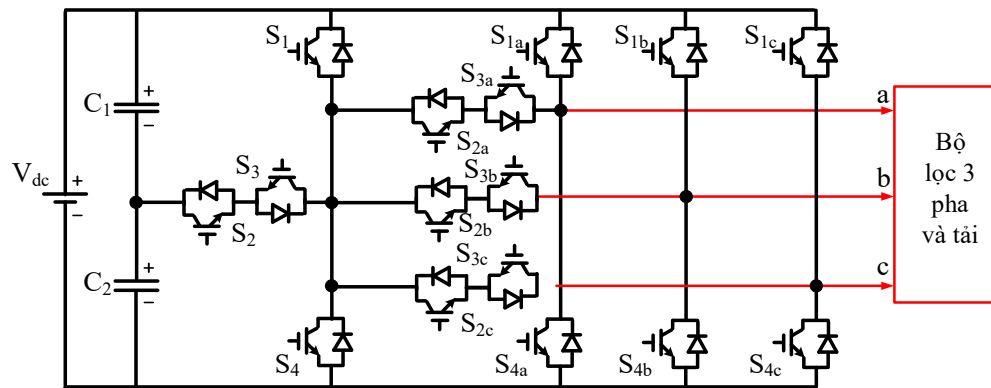
Mặt khác, trong thực tế so với nghịch lưu ba pha hai bậc, nghịch lưu 3 pha ba bậc có nhiều linh kiện công suất hơn, vì vậy khả năng xảy ra lỗi cũng cao hơn.

Việc chuẩn đoán lỗi và chịu lỗi là một phần không thể thiếu trong quá trình hoạt động của hệ thống nghịch lưu chịu lỗi. Các giải pháp xác định lỗi có thể dựa trên các cảm biến để đo dòng điện và điện áp trên các khóa bán dẫn sau đó đưa ra giải pháp khắc phục cho hệ thống. Để hoạt động trong điều kiện chịu lỗi, hầu như có hai giải pháp chính đó là: a) giải pháp tái cấu hình bằng cách thay đổi phần cứng, b) giải pháp tái cấu hình bằng giải thuật.

2.3.1. Giải pháp tái cấu hình bằng phần cứng.

Phương pháp tái cấu hình (Reconfigured) bằng phần cứng cho phép hệ thống vận hành trong điều kiện có sự cố (ngắn mạch – hở mạch) xảy ra mà không làm gián đoạn việc cung cấp điện năng, đảm bảo duy trì sản xuất trong các nhà máy, xí nghiệp, cũng như trong các hộ gia đình.

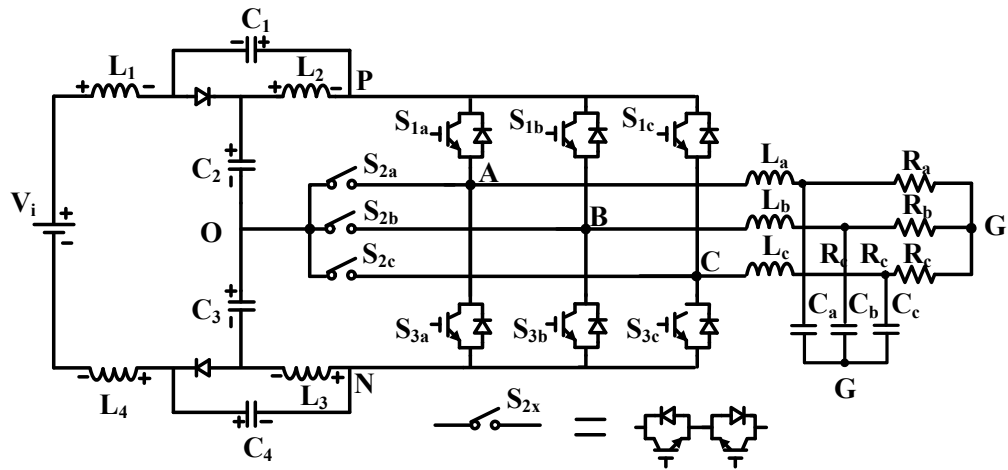
Gần đây các nhà nghiên cứu đã nghiên cứu lỗi hở mạch hoặc ngắn mạch các khóa bán dẫn của nghịch lưu hình T 3 bậc. Tác giả [75] đã đề xuất cấu hình sử dụng nhánh dự phòng (được trình bày như Hình 2.10) để tái cấu trúc hệ thống khi bị lỗi. Với cấu hình này hệ thống sẽ tự cấu hình lại (Reconfigured) khi một trong 3 nhánh nghịch lưu bị lỗi. Tuy nhiên, với cấu trúc này hệ thống sẽ gia tăng kích thước, trọng lượng. Mặt khác khi khóa bán dẫn bị lỗi ngắn mạch, thời gian cách ly nhánh bị lỗi phải được tính toán kỹ.



Hình 2.10: Nghịch lưu 3 pha hình T sử dụng nhánh dự phòng.

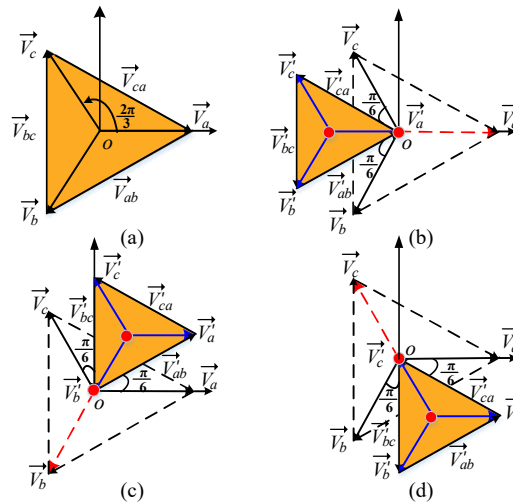
2.3.2. Giải pháp tái cấu hình bằng giải thuật.

Năm 2016, các tác giả [83] đã cải thiện xử lý lỗi bằng cấu hình nghịch lưu tựa nguồn Z ba bậc được trình bày như Hình 2.11. Hệ thống này không chỉ hoạt động như một bộ nghịch lưu một chạng mà còn có khả năng tăng-giảm áp để bù biên độ cho pha bị lỗi.



Hình 2.11: Nghịch lưu 3 pha tựa nguồn Z hoạt động trong điều kiện bị lỗi.

Với cấu hình này khi một trong 3 nhánh nghịch lưu bị lỗi, hệ thống sẽ cách ly nhánh bị lỗi sau đó chuyển cấu hình từ B6 (B6 bộ nghịch lưu hoạt động trong điều kiện bình thường) sang cấu hình B4 (B4 bộ nghịch lưu hoạt động trong điều kiện bị lỗi) đồng thời thay đổi tín hiệu điều chế sao cho điện áp ngõ ra không thay đổi. Kỹ thuật điều chế từ B6 sang B4 được trình bày như Hình 2.12.



Hình 2.12 Những vector điện áp tham chiếu trong (a) điều kiện bình thường (b) lỗi pha A, (c) lỗi pha B, (d) lỗi pha C.

Khi hệ thống làm việc ở điều kiện bình thường điện áp pha ngõ ra được mô tả như sau:

$$\begin{aligned}
V_a &= V_m \sin 2\pi f_0 t \\
V_b &= V_m \sin\left(2\pi f_0 t - \frac{2\pi}{3}\right) \\
V_c &= V_m \sin\left(2\pi f_0 t + \frac{2\pi}{3}\right)
\end{aligned} \tag{2.16}$$

Điện áp dây ngõ ra được xác định theo phương trình (2.17), (2.18), (2.19):

$$V_{ab} = V_a - V_b = V_m \sin(2\pi f_0 t) - V_m \sin\left(2\pi f_0 t - \frac{2\pi}{3}\right) = \sqrt{3}V_m \sin\left(2\pi f_0 t + \frac{\pi}{6}\right) \tag{2.17}$$

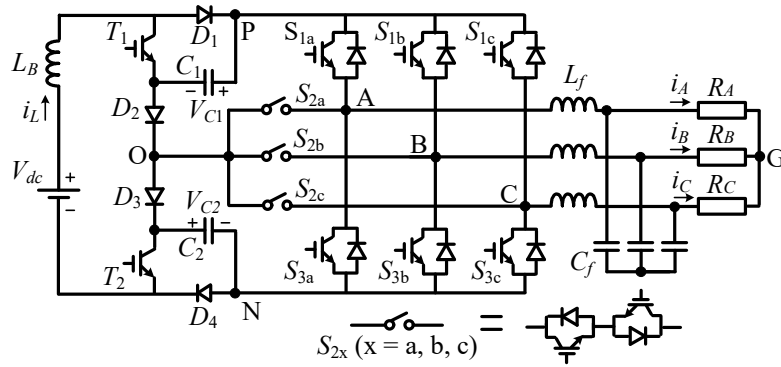
$$\begin{aligned}
V_{bc} &= V_b - V_c = V_m \sin\left(2\pi f_0 t - \frac{2\pi}{3}\right) - V_m \sin\left(2\pi f_0 t + \frac{2\pi}{3}\right) \\
&= \sqrt{3}V_m \sin\left(2\pi f_0 t - \frac{\pi}{6}\right)
\end{aligned} \tag{2.18}$$

$$V_{ca} = V_c - V_a = V_m \sin\left(2\pi f_0 t + \frac{2\pi}{3}\right) - V_m \sin(2\pi f_0 t) = \sqrt{3}V_m \sin\left(2\pi f_0 t + \frac{5\pi}{6}\right) \tag{2.19}$$

Giả sử lỗi hở mạch xảy ra ở pha A. Phương trình (2.16) có thể viết lại theo phương trình (2.20):

$$\begin{aligned}
V'_a &= 0 \\
V'_b &= V_m \sin\left(2\pi f_0 t - \frac{5\pi}{6}\right) \\
V'_c &= V_m \sin\left(2\pi f_0 t + \frac{5\pi}{6}\right)
\end{aligned} \tag{2.20}$$

Như Hình 2.12 ở điều kiện trước lỗi góc pha giữa pha B và pha C là 120° . Khi xảy ra lỗi tại pha A, điện áp V_a bằng không, lúc này để điện áp dây ngõ ra không thay đổi (phương trình (2.17), (2.18) và (2.19)), góc pha của pha B và pha C được thay đổi một góc 30° như Hình 2.12 (b). Từ phương trình (2.20) có thể thấy rằng, biên độ điện áp dây sau lỗi bị giảm đi $\sqrt{3}$ lần so với điều kiện trước lỗi. Để bù lại biên độ như ở điều kiện trước lỗi, hệ thống chỉ cần thay đổi chỉ số điều chế và tỉ số ngắn mạch “M” và “D”. Tuy nhiên, với cấu hình nghịch lưu hình T tựa nguồn Z và cấu hình nghịch lưu hình T tăng áp tựa khóa chuyển mạch truyền thống chứa nhiều phần tử thụ động, điều này rất khó thực hiện. Để cải thiện vấn đề này, tác giả đề xuất cấu hình và giải thuật chịu lỗi cho nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T được trình bày ở Hình 2.12 và Hình 2.13.



Hình 2.13 Cấu hình 3L-qSBT²I

Điện áp trên tụ điện V_{C1} và V_{C2} được xác định:

$$V_c = V_{c1} = V_{c2} = \frac{V_{dc}}{2 - 3D_0 - d} \quad (2.21)$$

Điện áp đỉnh ngõ ra trong trạng thái lỗi hở mạch được xác định:

$$\hat{v}_x = \frac{M \cdot V_{PN}}{2\sqrt{3}} = \frac{M \cdot V_c}{\sqrt{3}} = \frac{M / \sqrt{3}}{2 - 3D_0 - d} V_{dc} \quad (2.22)$$

M là chỉ số điều chế. D_0 là tỉ số ngắn mạch phía nghịch lưu, d là tỉ số ngắn mạch cho hai khóa công suất mạng nguồn kháng.

Từ phương trình (2.22) có thể thấy rằng, điện áp ngõ ra sẽ phụ thuộc vào ba thông số điều khiển đó là M , D_0 và d . Để bù điện áp ngõ ra sau lỗi người nghiên cứu có thể thay đổi bởi các thông số này.

Kết luận:

Trong chương 2, tác giả phân tích và đánh giá các cấu hình nghịch lưu truyền thống, cấu hình nghịch lưu nguồn Z cũng như kỹ thuật điều chế xung PWM.

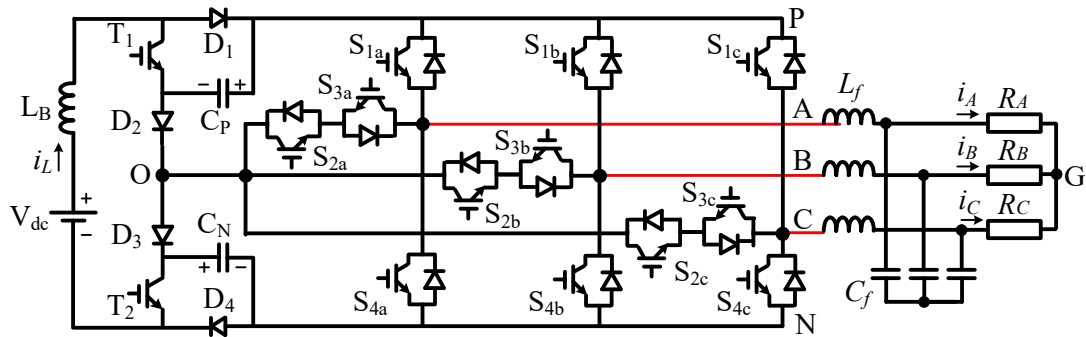
Cấu hình nghịch lưu truyền thống có giải thuật đơn giản. Tuy nhiên, cấu hình này vẫn còn tồn tại vấn đề ngắn mạch của hai khóa bán dẫn trên cùng một nhánh của bộ nghịch lưu. Cấu hình nghịch lưu nguồn Z, có hai loại cấu hình: a) cấu hình sử dụng các phần tử thụ động (L, C) để tăng áp và b) cấu hình sử dụng các phần tử tích cực (D, SW) để tăng áp. Tác giả nhận thấy rằng, khi sử dụng cấu hình các phần tử tích cực, cấu hình này giảm nhiều phần tử thụ động cũng như giải thuật điều khiển linh hoạt hơn so với giải thuật truyền thống (thông số điều khiển M và D), tùy vào tiêu chí lựa chọn các mục tiêu ngõ ra. Vì vậy, trong luận án này tác giả sẽ tập trung nghiên cứu cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T.

Chương 3: Nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T

Như chương 2 đã phân tích và đánh giá các cấu hình và giải thuật các bộ nghịch lưu truyền thống và bộ nghịch lưu nguồn Z. Tuy nhiên, các cấu hình nghịch lưu 3 bậc này có nhiều bất lợi như: độ gợn dòng điện của cuộn dây tăng áp cao, độ lợi điện áp và chỉ số điều chế thấp so với cấu hình tương tự. Vì vậy trong chương 3, tác giả sẽ trình bày cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với nhiều ưu điểm như: giảm độ gợn dòng điện của cuộn dây tăng áp, độ lợi điện áp cao và chỉ số điều chế cao nhất có thể so với cấu hình tương tự.

3.1. Cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T (3L-qSBT²I)

3.1.1 Sơ đồ và nguyên lý của 3L-qSBT²I



Hình 3.1: Cấu hình của 3L-qSBT²I

Hình 3.1 trình bày cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T (3L qSBT²I). Trong 3L-qSBT²I có một mạng tăng áp tựa khóa chuyển mạch (qSB) được đặt trước nghịch lưu ba bậc hình T thông thường để tăng điện áp ngõ vào. Mạng tăng áp tựa khóa chuyển mạch (qSB) bao gồm một cuộn dây tăng áp (L_B), hai tụ điện (C_1, C_2), hai khóa tích cực điều khiển điện áp DC-link (T_1, T_2) và bốn Diode (D_1-D_4). Cấu hình nghịch lưu đề xuất có ưu điểm sử dụng một nguồn DC ngõ vào so với các nghịch lưu thông thường sử dụng hai nguồn DC. Mạch lọc 3 pha ngõ ra được chọn giống như tài liệu [47], [48] để thuận lợi cho việc đối sánh. Mạch lọc thông thấp L_f, C_f có nhiệm vụ loại bỏ thành phần hài bậc cao.

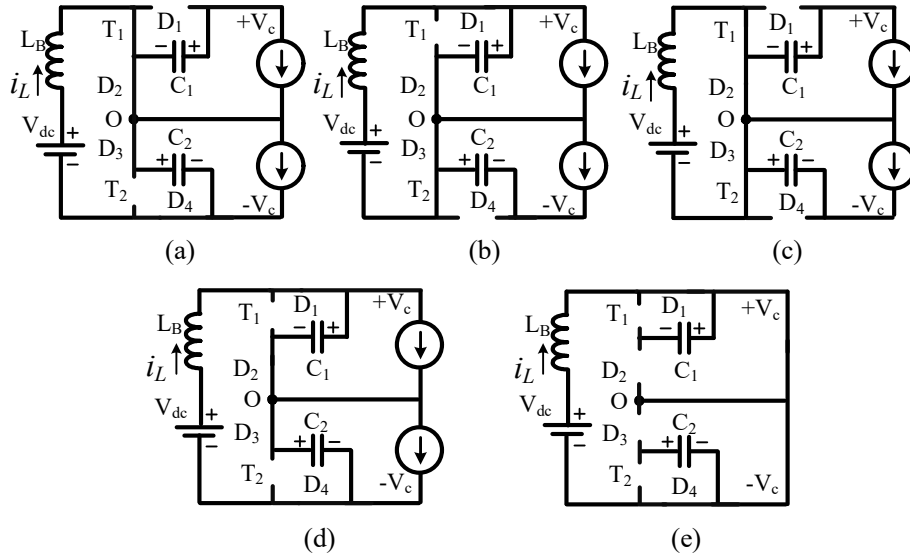
3.1.2 Nguyên lý hoạt động của 3L-qSBT²I

Việc sử dụng chèn xung ngắn mạch đồng thời sẽ làm cho độ gợn sóng dòng điện của cuộn dây tăng áp tăng cao, bởi vì trong một chu kỳ sóng mang tần số đóng/ngắt của cuộn cảm là 2 lần tần số sóng mang như Hình 2.7. Để cải thiện độ gợn sóng dòng điện của cuộn dây, tác giả đề xuất tăng cường thêm một sóng mang được dịch 90⁰ so với sóng mang chuẩn. Sóng mang chuẩn được điều khiển cho các khóa bên phía nghịch lưu, sóng mang được dịch 90⁰ được điều khiển cho hai khóa phía mạch tăng áp. Với phương pháp chèn xung ngắn mạch từng phần sẽ giúp giải thuật tránh chèn xung đồng thời gây nên độ gợn sóng dòng điện của cuộn dây cao. Nguyên lý hoạt động của mạch dựa vào giải thuật điều khiển PWM và được trình bày theo Bảng 3.1 và Hình 3.3.

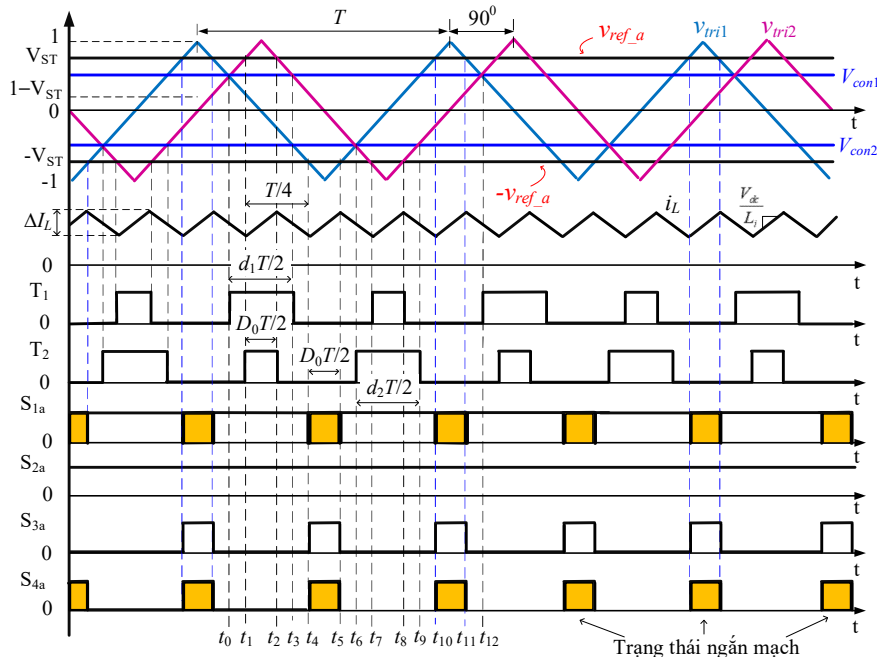
Bảng 3.1 Trạng thái kích đóng/ngắt của 3L-qSBT²I (x=a, b, c)

Trạng thái	Kích đóng các khóa chuyển mạch	Phân cực thuận các Diode	V_X
NST 1	T_1	D_2, D_3, D_4	$+V_C, 0$ or $-V_C$
NST 2	T_2	D_1, D_2, D_3	$+V_C, 0$ or $-V_C$
NST 3	T_1, T_2	D_2, D_3	$+V_C, 0$ or $-V_C$
NST 4	S_{1x}, S_{2x}	D_1, D_2, D_3, D_4	$+V_C$
	S_{2x}, S_{3x}		0
	S_{3x}, S_{4x}		$-V_C$
ST	$S_{1x}, S_{2x}, S_{3x}, S_{4x}$	D_1, D_4	0

Nguyên lý hoạt động của 3L-qSBT²I có thể được giải thích dựa vào những trạng thái kích đóng/ngắt trong Bảng 3.1. Tương tự nghịch lưu ba bậc nguồn Z (ZSI), 3L-qSBT²I có hai trạng thái hoạt động chính: trạng thái không ngắn mạch (NST) và trạng thái ngắn mạch (ST). Hình 3.2 trình bày những trạng thái hoạt động của 3L-qSBT²I. Trong trạng thái không ngắn mạch được trình bày từ Hình 3.2 (a) đến Hình 3.2 (d), bên phía nghịch lưu tương đương một nguồn dòng. Hình 3.2 (e) trình bày trạng thái ngắn mạch nơi mà DC-link bị ngắn mạch bởi các khóa bán dẫn hình T. Giả sử rằng điện dung của những tụ điện C_1 và C_2 là đủ lớn để duy trì điện áp trên tụ là một hằng số và $C_1 = C_2 = C$ khi đó $V_{C1} = V_{C2} = V_C$.



Hình 3.2: Trạng thái hoạt động của 3L-qSPT²I. (a) Trạng thái không ngắn mạch 1 (NST 1), (b) trạng thái không ngắn mạch 2 (NST 2), (c) trạng thái không ngắn mạch 3 (NST 3), (d) trạng thái không ngắn mạch 4 (NST 4) và (e) trạng thái ngắn mạch (ST).



Hình 3.3: Phương pháp PWM điều khiển pha A cho 3L-qSPT²I

3.1.2.1 Trạng thái không ngắn mạch (NST)

Trong trạng thái không ngắn mạch, bộ nghịch lưu có thể tạo ra ba bậc điện áp khác biệt: $+V_c$, 0 , và $-V_c$, bằng cách điều khiển các khóa bán dẫn phía nghịch lưu hình T. Để đạt được điện áp ngõ ra $+V_c$ các khóa S_{1x} và S_{2x} ($x=a, b$ và c) được kích

đóng. Khi các khóa S_{2x} và S_{3x} đóng thì điểm trung tính (điểm trung tính nguồn O như Hình 3.1) kết nối với tải. Điện áp ngõ ra (V_{xo}) là 0 V. Để đạt được điện áp ngõ ra $-V_C$ cả hai khóa S_{3x} và S_{4x} được kích đóng đồng thời. Trạng thái không ngắn mạch (NST) được chia thành 4 trường hợp: NST1, NST2, NST3, và NST4. Mạch tương đương cho những trường hợp không ngắn mạch được trình bày từ Hình 3.2 (a) đến Hình 3.2 (d).

Trong trạng thái NST1 khoảng thời gian $[t_0-t_1$ và $t_2-t_3]$ như Hình 3.3, khóa T_1 được kích đóng, trong khi khóa T_2 bị kích ngắt, như trình bày ở Hình 3.2 (a). Diode D_1 bị phân cực ngược, trong khi các diode D_2, D_3, D_4 được phân cực thuận. Cuộn dây L_B và tụ C_1 xả năng lượng, trong khi đó tụ C_2 được nạp. Các công thức điện áp và dòng điện qua cuộn dây L_B và hai tụ điện C_1 và C_2 được xác định:

$$L_B \frac{di_L}{dt} = V_{dc} - V_C \quad \& \quad \begin{cases} C_1 \frac{dv_c}{dt} = -I_{load} \\ C_2 \frac{dv_c}{dt} = I_L - I_{load}, \end{cases} \quad (3.1)$$

Với I_{Load} tương đương với dòng DC bên phía nghịch lưu hình T.

Trong trạng thái NST2 khoảng thời gian $[t_6-t_7$ và $t_8-t_9]$ như Hình 3.3, khóa T_1 bị kích ngắt, trong khi khóa T_2 được kích đóng, như trình bày ở Hình 3.2 (b). Diode $D_1, D_2,$ và D_3 được phân cực thuận, trong khi các diode D_4 bị phân cực ngược. Cuộn dây L_B và tụ C_2 xả năng lượng, trong khi đó tụ C_1 được nạp. Các công thức điện áp và dòng điện qua cuộn dây L_B và hai tụ điện C_1 và C_2 được xác định:

$$L_B \frac{di_L}{dt} = V_{dc} - V_C \quad \& \quad \begin{cases} C_1 \frac{dv_c}{dt} = I_L - I_{load} \\ C_2 \frac{dv_c}{dt} = -I_{load}. \end{cases} \quad (3.2)$$

Trong trạng thái NST3 khoảng thời gian $[t_1-t_2$ và $t_7-t_8]$ như Hình 3.3, các khóa T_1 và T_2 được kích đóng, như trình bày ở Hình 3.2 (c). Các diode $D_1,$ và D_4 bị phân cực ngược, trong khi các diode D_2 và D_3 được phân cực thuận. Cuộn dây L_B nạp năng lượng, trong khi đó tụ C_1 và C_2 xả năng lượng. Khoảng thời gian của trạng thái này là $D_0.T$, với D_0 là chu kỳ ngắn mạch trong một chu kỳ đóng/ngắt T. Các công thức điện áp và dòng điện qua cuộn dây L_B và hai tụ điện C_1 và C_2 được xác định:

$$L_B \frac{di_L}{dt} = V_{dc} \quad \& \quad C_1 \frac{dv_c}{dt} = C_2 \frac{dv_c}{dt} = -I_{load}. \quad (3.3)$$

Trong trạng thái NST4 khoảng thời gian $[t_3-t_4, t_5-t_6, t_9-t_{10}]$ và $t_{11}-t_{12}]$ như Hình 3.3, các khóa T_1 và T_2 được kích ngắt, như trình bày ở Hình 3.2 (d). Các diode D_1, D_2, D_3 và D_4 được phân cực thuận. Các tụ C_1 và C_2 được nạp năng lượng từ điện áp ngõ vào V_{dc} . Trong khi đó, cuộn dây L_B truyền năng lượng từ nguồn đến mạch chính. Các công thức điện áp và dòng điện qua cuộn dây L_B và hai tụ điện C_1 và C_2 được xác định:

$$L_B \frac{di_L}{dt} = V_{dc} - 2V_C \quad \& \quad C_1 \frac{dv_c}{dt} = C_2 \frac{dv_c}{dt} = -I_{load}. \quad (3.4)$$

3.1.2.2 Trạng thái ngắn mạch (ST)

Trong trạng thái ST khoảng thời gian $[t_4-t_5, t_{10}-t_{11}]$ như Hình 3.3. Các khóa $S_{1x}-S_{4x}$ phía nghịch lưu hình T được kích đóng đồng thời, trong khi các khóa T_1 và T_2 được kích ngắt. Mạch tương đương trong trạng thái này được trình bày ở Hình 3.2 (e). Các diode D_1 và D_4 được phân cực thuận, trong khi các diode D_2 và D_3 bị phân cực ngược. Các tụ C_1 và C_2 không kết nối với mạch công suất. Khoảng thời gian của trạng thái ngắn mạch là $D_0.T$. Trong trạng thái này cuộn dây L_B nạp năng lượng. Các công thức điện áp và dòng điện qua cuộn dây L_B và hai tụ điện C_1 và C_2 được xác định:

$$L_B \frac{di_L}{dt} = V_{dc} \quad \& \quad C_1 \frac{dv_c}{dt} = C_2 \frac{dv_c}{dt} = 0. \quad (3.5)$$

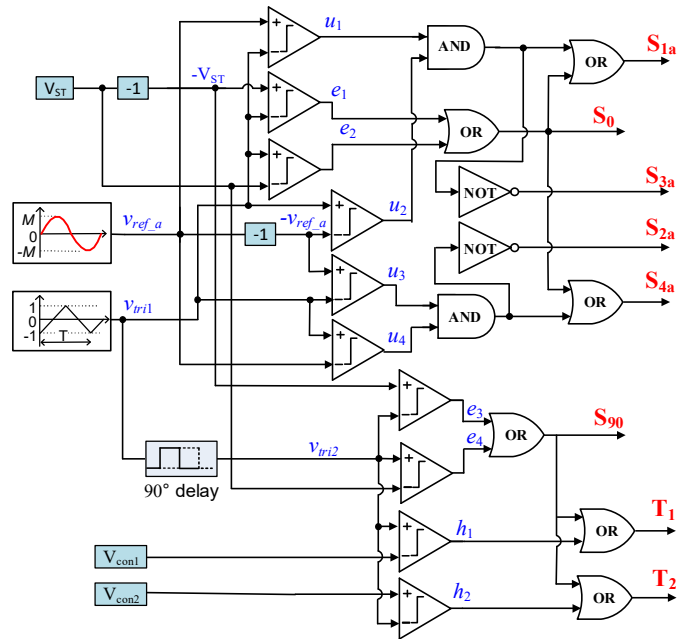
3.2. Phương pháp điều khiển PWM cho 3L-qSBT²I

Hình 3.3 trình bày phương pháp điều khiển PWM cho 3L-qSBT²I cho các khóa pha A. Ở Hình 3.3, V_{ST}, V_{con1} và V_{con2} là điện áp điều khiển ngắn mạch, điện áp điều khiển của các khóa mạng nguồn kháng T_1 và T_2 . Sáu điện áp tham chiếu $\pm v_{ref,x}$ ($x = a, b, c$) được sử dụng điều khiển điện áp ba pha ngõ ra. Các điện áp tham chiếu này được biểu diễn như sau:

$$\begin{cases} v_{ref_a} = M \sin 2\pi f_o t \\ v_{ref_b} = M \sin(2\pi f_o t + 120^\circ) \\ v_{ref_c} = M \sin(2\pi f_o t + 240^\circ), \end{cases} \quad (3.6)$$

Với M và f_0 là chỉ số điều chế và tần số ngõ ra.

Bởi vì tần số của các điện áp tham chiếu $\pm v_{ref,x}$ ($x = a, b, c$) nhỏ hơn sóng mang có tần số cao v_{tri1} rất nhiều, dạng sóng điện áp tham chiếu trong một chu kỳ sóng mang có thể xem là một hằng số với giá trị tức thời lớn nhất của điện áp tham chiếu ($\pm v_{ref,x}$) không vượt quá phạm vi $\pm V_{ST}$ để tránh ảnh hưởng đến các trạng thái hoạt động của mạch nghịch lưu trong quá trình chèn xung ngắn mạch. Không mất tính tổng quát, giả sử rằng $v_{ref,a}$ tại thời điểm đang xét có giá trị tức thời trùng với V_{ST} , được biểu diễn như Hình 3.3. Điện áp tham chiếu $v_{ref,a}$ và $-v_{ref,a}$ được so sánh với sóng mang v_{tri1} để tạo các tín hiệu điều khiển S_{1a} , S_{2a} , S_{3a} , và S_{4a} cho các khóa bán dẫn pha A của mạch nghịch lưu hình T. Điện áp tham chiếu $v_{ref,b}$ và $-v_{ref,b}$ được so sánh với sóng mang v_{tri1} để tạo các tín hiệu điều khiển S_{1b} , S_{2b} , S_{3b} , và S_{4b} cho các khóa bán dẫn pha B của mạch nghịch lưu hình T. Tương tự, điện áp tham chiếu $v_{ref,c}$ và $-v_{ref,c}$ được so sánh với sóng mang v_{tri1} để tạo các tín hiệu điều khiển S_{1c} , S_{2c} , S_{3c} , và S_{4c} cho các khóa bán dẫn pha C của mạch nghịch lưu hình T.



Hình 3.4: Mạch logic điều khiển PWM pha A cho 3L-qSBT²I

Hình 3.4 trình bày phương pháp điều khiển PWM cho 3L-qSBT²I. Các tín hiệu e_1 và e_2 đạt được bằng cách so sánh hằng số điện áp V_{ST} và $-V_{ST}$ với sóng mang tam giác v_{tri1} như sau:

$$e_1 = \begin{cases} 1, & (-V_{ST}) > v_{tri1} \\ 0, & (-V_{ST}) < v_{tri1} \end{cases} \quad \& \quad e_2 = \begin{cases} 1, & V_{ST} < v_{tri1} \\ 0, & V_{ST} > v_{tri1} \end{cases}. \quad (3.7)$$

Tín hiệu điều khiển ngắt mạch ST cho phía nghịch lưu hình T (S_0) được tạo ra như sau:

$$S_0 = e_1 \vee e_2, \quad (3.8)$$

Với “ \vee ” đại diện cho cổng logic OR.

Để tạo ra những tín hiệu điều khiển cho các khóa pha A S_{1a} đến S_{4a} , hai điện áp điều khiển v_{ref_a} và $-v_{ref_a}$ được so sánh với sóng mang v_{tri1} . Những tín hiệu u_1 đến u_4 đạt được như sau:

$$\begin{aligned} u_1 &= \begin{cases} 1, & v_{ref_a} > v_{tri1} \\ 0, & v_{ref_a} < v_{tri1} \end{cases}, & u_2 &= \begin{cases} 1, & (-v_{ref_a}) < v_{tri1} \\ 0, & (-v_{ref_a}) > v_{tri1} \end{cases}, \\ u_3 &= \begin{cases} 1, & (-v_{ref_a}) > v_{tri1} \\ 0, & (-v_{ref_a}) < v_{tri1} \end{cases} & \& & u_4 &= \begin{cases} 1, & v_{ref_a} < v_{tri1} \\ 0, & v_{ref_a} > v_{tri1} \end{cases}. \end{aligned} \quad (3.9)$$

Những tín hiệu điều khiển PWM của các khóa S_{1a} , S_{2a} , S_{3a} và S_{4a} cho pha A phía nghịch lưu hình T được tạo ra như sau:

$$\begin{aligned} S_{1a} &= (u_1 \& u_2) \vee S_0 & S_{3a} &= \overline{u_1 \& u_2} \\ S_{2a} &= \overline{u_3 \& u_4} & S_{4a} &= (u_3 \& u_4) \vee S_0, \end{aligned} \quad (3.10)$$

Với biểu tượng “ $\&$ ” đại diện cho cổng logic AND và \bar{u} phủ định của u.

Những tín hiệu e_3 và e_4 đạt được bằng cách so sánh hằng số điện áp ngắt mạch V_{ST} và $-V_{ST}$ với sóng mang v_{tri2} , với v_{tri2} được tạo ra bằng cách dịch pha 90° so với sóng mang v_{tri1} và được trình bày như sau:

$$e_3 = \begin{cases} 1, & (-V_{ST}) > v_{tri2} \\ 0, & (-V_{ST}) < v_{tri2} \end{cases} \quad \& \quad e_4 = \begin{cases} 1, & V_{ST} < v_{tri2} \\ 0, & V_{ST} > v_{tri2}. \end{cases} \quad (3.11)$$

Tín hiệu điều khiển trong trạng thái không ngắt mạch NST3 của hai khóa T_1 và T_2 trong mạng nguồn kháng, S_{90} được tạo như sau:

$$S_{90} = e_3 \vee e_4. \quad (3.12)$$

Một hằng số điện áp V_{con1} trong dãy $[1-V_{ST}, V_{ST}]$ như Hình 3.3, được so sánh với sóng mang v_{tri2} để tạo ra tín hiệu điều khiển cho khóa T_1 . Một hằng số điện áp V_{con2} trong dãy $[-V_{ST}, V_{ST}-1]$, được so sánh với sóng mang v_{tri2} để tạo ra tín hiệu điều khiển cho khóa T_2 . Những tín hiệu h_1 và h_2 được định nghĩa như sau:

$$h_1 = \begin{cases} 1, & V_{con1} < v_{tri2} \\ 0, & V_{con1} > v_{tri2} \end{cases} \quad \& \quad h_2 = \begin{cases} 1, & V_{con2} > v_{tri2} \\ 0, & V_{con2} < v_{tri2} \end{cases}. \quad (3.13)$$

Tín hiệu điều khiển cho PWM của hai khóa T_1 và T_2 được tạo ra như sau:

$$T_1 = S_{90} \vee h_1 \quad \& \quad T_2 = S_{90} \vee h_2. \quad (3.14)$$

Như đã trình bày ở mục 3.1.2.1, trong trạng thái NST3 cuộn dây nạp năng lượng, trong khi các trạng thái NST1, NST2, và NST4 xả năng lượng. Như vậy, trong suốt một chu kỳ T khoảng thời gian từ t_0 đến t_{12} như Hình 3.3, cuộn dây nạp năng lượng trong bốn khoảng thời gian $[t_1, t_2]$, $[t_4, t_5]$, $[t_7, t_8]$, và $[t_{10}, t_{11}]$. Chu kỳ nạp/xả năng lượng của cuộn dây là $T/4$. Do đó, tần số hoạt động của cuộn dây tăng áp là bốn lần tần số của đóng/ngắt của nghịch lưu hình T. Tần số của dòng điện cuộn dây I_L ở Hình 3.3 có thể được xác định như sau:

$$f_L = 4/T = 4f_s, \quad (3.15)$$

Với f_s là tần số đóng/ngắt của nghịch lưu hình T.

Như đã trình bày ở trên, độ gợn dòng điện của cuộn dây tần số cao của 3L-qSBT²I được cải thiện một cách đáng kể so với các nghịch lưu thông thường [46], [47]. Đây chính là một trong ba ưu điểm được đề xuất trong chương 3 của luận án.

3.3. Phân tích trạng thái xác lập cho 3L-qSBT²I

Như trình bày ở Hình 3.3, tổng thời gian trong khoảng thời gian NST1 là $(d_1 - D_0)T/2$, với d_1 là thời gian đóng/ngắt của khóa T_1 được điều khiển bởi hằng số điện áp V_{con1} . Tổng thời gian tồn tại của trạng thái NST2 là $(d_2 - D_0)T/2$, với d_2 là thời gian đóng/ngắt của khóa T_2 được điều khiển bởi hằng số điện áp V_{con2} . Khoảng thời gian của trạng thái không ngắn mạch NST3 và trạng thái ngắn mạch ST là D_0T . Do đó, khoảng thời gian còn lại của trạng thái không ngắn mạch NST4 là $(1 - 2D_0 - d_1/2 - d_2/2)T$. Áp dụng định lý cân bằng điện áp trên cuộn dây L_B và định lý cân bằng dòng điện trên tụ C_1 và C_2 và từ phương trình (3.1) đến phương trình (3.5), điện áp trên tụ và dòng điện cuộn dây được xác định:

$$\begin{cases} V_c = V_{c1} = V_{c2} = \frac{2V_{dc}}{4 - 6D_0 - d_1 - d_2} \\ I_L = \frac{4(1 - D_0)}{4 - 6D_0 - d_1 - d_2} I_{load}. \end{cases} \quad (3.16)$$

Từ Hình 3.2, có thể thấy rằng điện áp đỉnh DC-link của nghịch lưu (V_{PN}) là gấp hai lần so với điện áp trên tụ (V_C). Vì vậy, giá trị điện áp pha đỉnh ngõ ra được xác định như sau:

$$\hat{v}_x = \frac{M \cdot V_{PN}}{2} = M \cdot V_C = \frac{2M}{4 - 6D_0 - d_1 - d_2} V_{dc}. \quad (3.17)$$

Hệ số tăng áp của 3L-qSBT²I được xác định như sau:

$$B = \frac{V_{PN}}{V_{dc}} = \frac{2V_C}{V_{dc}} = \frac{4}{4 - 6D_0 - d_1 - d_2}. \quad (3.18)$$

Như trình bày ở Hình 3.3, hằng số điện áp V_{con1} và hằng số điện áp V_{con2} thay đổi từ $[1 - V_{ST}, V_{ST}]$ đến $[-V_{ST}, V_{ST} - 1]$. Do đó d_1 và d_2 được thay đổi từ D_0 đến $1 - D_0$ như sau:

$$D_0 \leq d_1, d_2 \leq 1 - D_0. \quad (3.19)$$

Khi $d_1 = d_2 = D_0$, hệ số tăng áp nhỏ nhất của 3L-qSBT²I được định nghĩa là:

$$B_{\min} = 1 / (1 - 2D_0); \quad D_0 < 0.5. \quad (3.20)$$

Khi $d_1 = d_2 = 1 - D_0$, hệ số tăng áp lớn nhất của 3L-qSBT²I được định nghĩa là:

$$B_{\max} = 2 / (1 - 2D_0) = 2B_{\min}. \quad (3.21)$$

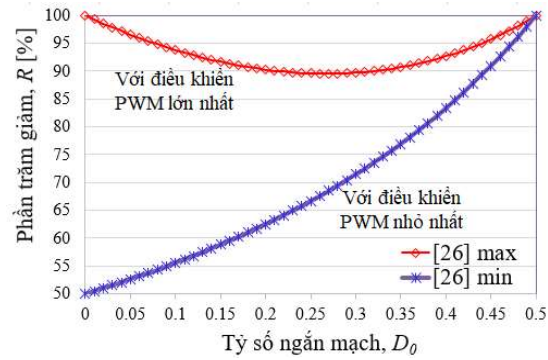
Để không ảnh hưởng đến điện áp ngõ ra, đỉnh của điện áp tham chiếu $V_{ref,x}$ phải nhỏ hơn hoặc bằng hằng số điện áp V_{ST} . Do đó, chu kỳ ngắn mạch D_0 bị giới hạn bởi $(1 - M)$. Độ lợi điện áp của 3L-qSBT²I được xác định:

$$G = \frac{\hat{v}_x}{V_{dc} / 2} \quad (3.22)$$

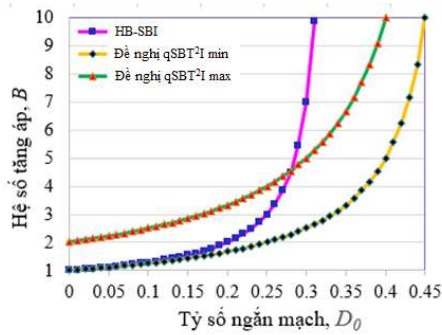
$$\begin{cases} G_{\min} = M \cdot B_{\min} = \frac{M}{2M - 1} \\ G_{\max} = M \cdot B_{\max} = \frac{2M}{2M - 1}; \quad M > 0.5. \end{cases} \quad (3.23)$$

Trong những mạch nghịch lưu nguồn kháng truyền thống, chỉ số điều chế luôn luôn được lựa chọn sao cho điện áp ngõ vào nhỏ nhất và được giữ cố định. Trong khi thông số điều khiển là chu kỳ ngắn mạch D_0 . Theo kết quả đó, chỉ số điều chế được lựa chọn trong những nghịch lưu thông thường là không tối ưu tại chu kỳ ngắn mạch nhỏ bởi vì M nhỏ hơn $(1 - D_0)$. Với phương pháp điều khiển PWM của 3L-

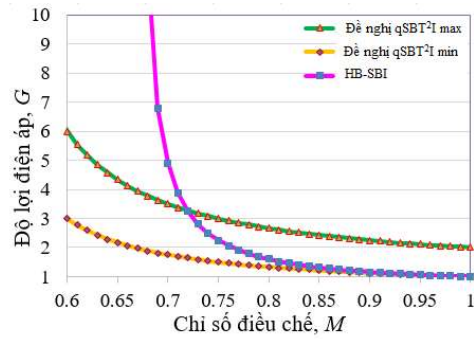
qSBT²I, cả hai hệ số M và D_0 được chọn giá trị cố định và $M=1-D_0$, khi đó những hệ số điều khiển của 3L qSBT²I là d_1 và d_2 . Với chỉ số điều chế cố định, độ lợi điện áp của 3L-qSBT²I được thay đổi từ G_{min} đến G_{max} bằng cách điều khiển cả hai hàng số điện áp V_{con1} và V_{con2} . Không giống như những nghịch lưu thông thường, chỉ số điều chế trong 3L-qSBT²I được lựa chọn theo điện áp ngõ vào lớn nhất. Do đó, việc lựa chọn chỉ số điều chế trong những nghịch lưu thông thường như những nghịch lưu mạng nguồn kháng 3 bậc [47], [48] là thấp hơn 3L-qSBT²I. Đây cũng là một trong ba điểm mới chương 3 của luận án cải thiện chỉ số điều chế cao nhất có thể.



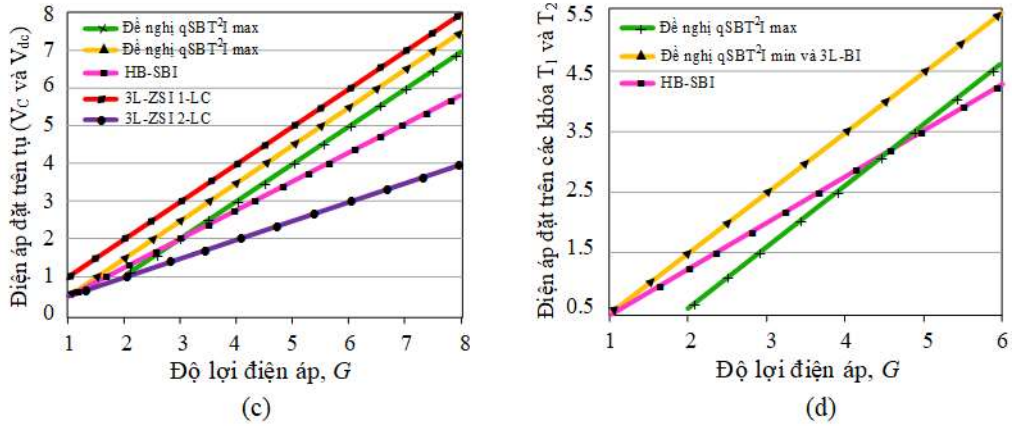
Hình 3.5: Phân trăm giảm của độ gợn dòng điện cuộn dây 3L-qSBT²I so với nghịch lưu [48].



(a)



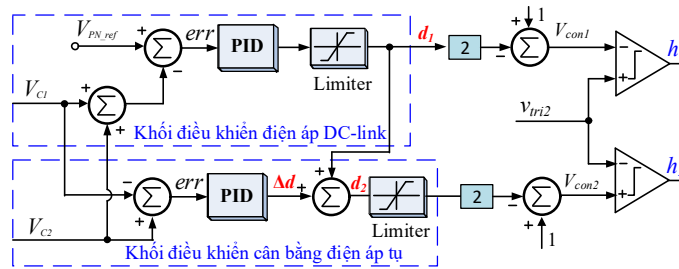
(b)



Hình 3.6: So sánh với cấu hình [30], [32], [46].

Hình 3.6: (a) Hệ số tăng áp so với tỉ số ngắn mạch, (b) độ lợi điện áp so với chỉ số điều chế, (c) so sánh điện áp đặt trên tụ điện C (V_c/V_{dc}) và (d) so sánh điện áp đặt trên bán dẫn thêm vào (V_s/V_{dc}): (1) cấu hình 3L-ZSI với hai mạng 2-LC [30], (2) cấu hình HB-SBI [46], (3) cấu hình đề xuất với phương pháp PWM max, (4) cấu hình đề xuất với phương pháp PWM min và cấu hình 3L-BNI [47], và (5) cấu hình 3L-ZSI với một mạng LC [32].

3.4. Cân bằng điện áp trên tụ và ổn định DC-link cho 3L-qSBT²I



Hình 3.7: Điều khiển điện áp DC-link và điều khiển cân bằng điện áp trên tụ cho 3L-qSBT²I.

Để điều khiển ổn định DC-link tác giả dựa trên luật điều khiển PID như trình bày ở Hình 3.7. Điện áp hai tụ V_{C1} và V_{C2} được đọc hồi tiếp để xác định điện áp DC-link (điện áp trên thanh cái). Điện áp DC-link hồi tiếp về so sánh với giá trị điện áp tham chiếu V_{PN_ref} . Sai lệch của bộ so sánh này được đưa vào bộ điều khiển PID để tạo ra chu kỳ ngắn mạch cho khóa T_1 , d_1 . Bộ điều khiển cân bằng điện áp tụ V_{C1} và V_{C2} [45] được trình bày ở Hình 3.7. Để độ lệch giữa hai tụ V_{C1} và V_{C2} là nhỏ nhất bộ điều khiển PID tạo ra hệ số ngắn mạch Δd . Chu kỳ ngắn mạch của khóa T_2 , d_2 được xác định:

$$d_2 = d_1 + \Delta d. \quad (3.24)$$

3.5. So sánh với những nghịch lưu ba bậc khác

So sánh với nghịch lưu hai chặng 3L-Bis trong [18]-[28] cấu hình đề xuất sử dụng nhiều hơn hai diode với khả năng chịu ngắn mạch ST. Do cấu hình 3L-Bis không thể hoạt động ở chế độ ngắn mạch ST. So sánh với các cấu hình một chặng như 3L-ZSIs với một mạng LC [32], và 3L-ZSIs với hai mạng LC [30], cấu hình HB-SBIs [46], cấu hình 3L-BNIs [47], và cấu hình 1S3L-BNIs [48] kết hợp Bảng 3.2 so sánh cấu hình đề xuất với các cấu hình khác.

Bảng 3.2 Cấu hình đề xuất so với các cấu hình khác.

	3L-ZSI với 1-LC [32]	3L-ZSI với 2-LC [30]	HB-SBI [46]	3L-BNI [47]	1S3L-BNI [48]	3L-qSBT ² I PWM đề xuất
Cuộn dây	2	4	2	2	1	1
Tụ điện	2	4	2	2	2	2
Diode (*)	20	20	6	22	22	16
Nguồn một chiều	2	2	2	2	1	1
Các khóa đóng-ngắt	12	12	4	14	14	14
Hệ số tăng áp, B	$\frac{1}{1-2D_0}$	$\frac{1}{1-2D_0}$	$\frac{1-D_0}{1-3D_0}$	$\frac{1}{1-2D_0}$	$\frac{1}{1-2D_0}$	$\left[\frac{1}{1-2D_0}, \frac{2}{1-2D_0} \right]$
Độ lợi điện áp, G	$\frac{M}{2M-1}$	$\frac{M}{2M-1}$	$\frac{M^2}{3M-2}$	$\frac{M}{2M-1}$	$\frac{M}{2M-1}$	$\left[\frac{M}{2M-1}, \frac{2M}{2M-1} \right]$
Dòng ngõ vào	<i>Không liên tục</i>	<i>Không liên tục</i>	<i>Không liên tục</i>	<i>Liên tục</i>	<i>Liên tục</i>	<i>Liên tục</i>
Dòng đỉnh đỉnh của cuộn dây	$\frac{D_0(1-D_0)TV_{dc}}{2(1-2D_0)L_i}$	$\frac{D_0(1-D_0)TV_{dc}}{4(1-2D_0)L_i}$	$\frac{D_0(1-D_0)TV_{dc}}{2(1-3D_0)L_i}$	$\frac{D_0(1-D_0)TV_{dc}}{2(1-2D_0)L_i}$	$\frac{D_0(1-D_0)TV_{dc}}{(1-2D_0)L_i}$	$\frac{D_0TV_{dc}}{2L_i}$
Độ gợn dòng điện	<i>Rất cao</i>	<i>Rất cao</i>	<i>Rất cao</i>	<i>Thấp</i>	<i>Thấp</i>	<i>Rất thấp</i>
Điện áp đặt trên tụ	$\frac{(1-D_0)V_{dc}}{1-2D_0}$	$\frac{(1-D_0)V_{dc}}{2(1-2D_0)}$	$\frac{(1-D_0)V_{dc}}{2(1-3D_0)}$	$\frac{0.5V_{dc}}{1-2D_0}$	$\frac{0.5V_{dc}}{1-2D_0}$	$\left[\frac{0.5V_{dc}}{1-2D_0}, \frac{V_{dc}}{1-2D_0} \right]$
Điện áp đặt trên các khóa đóng-ngắt	<i>Không áp dụng</i>	<i>Không áp dụng</i>	$\frac{(1-D_0)V_{dc}}{2(1-3D_0)}$	$\frac{0.5V_{dc}}{1-2D_0}$	$\frac{0.5V_{dc}}{1-2D_0}$	$\left[\frac{0.5V_{dc}}{1-2D_0}, \frac{V_{dc}}{1-2D_0} \right]$
Điện áp ngõ ra	Ba pha, ba bậc	Ba pha, ba bậc	Một pha, ba bậc	Ba pha, ba bậc	Ba pha, ba bậc	Ba pha, ba bậc

3.5.1. Thành phần linh kiện trong cấu hình 3L-qSBT²I so với các cấu hình khác

Như trình bày trong Bảng 3.2, cấu hình đề xuất 3L-qSBT²I và cấu hình 1S3L-BNI [48] tiết kiệm hơn một cuộn dây so sánh với ZSI với một mạng LC [32], cấu hình HB-SBIs [46] và cấu hình 3L-BNI [47]. So sánh cấu hình 3L-ZSI với hai mạng 2-LC [30], cấu hình đề xuất 3L-qSBT²I sử dụng ít hơn 3 cuộn dây, ít hơn hai tụ và nhiều hơn hai khóa tích cực. Cấu hình HB-SBIs [46] chỉ tạo ra một pha 3 bậc ngõ ra, trong khi những nghịch lưu khác tạo ra 3 pha ba bậc ở ngõ ra. Hơn nữa, cấu hình đề xuất 3L-qSBT²I và cấu hình 1S3L-BNI [48] chỉ sử dụng một nguồn DC ngõ vào,

trong khi những nghịch lưu khác sử dụng hai nguồn DC ngõ vào. So sánh cấu hình 1S3L-BNI [48], cấu hình đề xuất 3L-qSBT²I tiết kiệm phần lớn diode kẹp.

3.5.2. Độ gợn dòng điện của cuộn dây và độ gợn điện áp của tụ điện

Giả sử rằng nghịch lưu hoạt động trong trạng thái dẫn liên tục, độ gợn dòng điện đỉnh đỉnh cuộn dây và độ gợn điện áp đỉnh đỉnh tụ điện của 3L-qSBT²I được xác định từ phương trình (2.8) như sau:

$$\Delta I_L = \frac{V_{dc}}{2L_B} D_0 T \quad \& \quad \Delta V_C = \frac{I_{load}}{2C} D_0 T. \quad (3.25)$$

Bảng 3.2 so sánh độ gợn dòng điện đỉnh-đỉnh cuộn dây của nghịch lưu nguồn kháng ba bậc. Bởi vì cấu hình 3L-ZSI với một mạng LC [32], cấu hình 3L-ZSI với hai mạng 2-LC [30], cấu hình 3L-BNI [47] và cấu hình 1S3L-BNI [48] có độ lợi điện áp giống nhau và cùng chu kỳ ngắn mạch và chỉ số điều chế, độ gợn cuộn dây của cấu hình 1S3L-BNI [48] tương ứng gấp đôi và gấp bốn lần của cấu hình HB-SBIs [46] và cấu hình 3L-ZSI với hai mạng 2-LC [30]. Tuy nhiên số cuộn dây trong cấu hình 1S3L-BNI [48], cấu hình HB-SBIs [46] và cấu hình 3L-ZSI với hai mạng 2-LC [30] là một, hai và bốn. Do đó, điện cảm của các nghịch lưu là như nhau. Bởi vì cấu hình 1S3L-BNI [48] có số cuộn dây giống như nghịch lưu đề xuất 3L-qSBT²I. Vì thế nó được sử dụng để so sánh với cấu hình 1S3L-BNI [48].

Hình 3.5 trình bày phân trăm giảm của độ gợn dòng điện cuộn dây của cấu hình đề xuất 3L-qSBT²I với cấu hình 1S3L-BNI [48]. Như trình bày ở Hình 3.5, độ gợn dòng điện cuộn dây của cấu hình đề xuất 3L-qSBT²I với phương pháp điều khiển PWM nhỏ nhất giảm được trên 50%. Khi sử dụng phương pháp điều khiển PWM lớn nhất giảm được trên 89%.

3.5.3. Độ lợi điện áp

Hình 3.6 (a) trình bày quan hệ giữa hệ số tăng áp và chu kỳ ngắn mạch của cấu hình một chạng 3L-Bis. Hình 3.6 (b) so sánh độ lợi điện áp của cấu hình đề xuất 3L-qSBT²I so với cấu hình 3L-Bis. Như trình bày ở Hình 3.6 (a) và Hình 3.6 (b), cấu hình đề xuất 3L-qSBT²I khi áp dụng phương pháp điều khiển PWM tối thiểu ($d_1=d_2=D_0$) có độ lợi điện áp giống như cấu hình 3L-ZSI với một mạng LC [32], cấu hình 1S3L-BNI [48] và cấu hình 3L-BNI [47]. Khi phương pháp điều khiển PWM lớn nhất ($d_1=d_2=1-D_0$) được áp dụng cho cấu hình đề xuất 3L-qSBT²I, cấu

hình đề xuất 3L-qSBT²I có độ lợi điện áp lớn với $M > 0.72$ khi so sánh với cấu hình 3L-BIs.

3.5.4. Điện áp đặt trên các khóa và trên tụ

Hình 3.6 (c) và Hình 3.6 (d) so sánh điện áp đặt trên tụ và điện áp đặt trên các khóa T_1 và T_2 . Như đã trình bày ở Hình 3.6 (c), cấu hình 3L-ZSI với một mạng LC [32] có điện áp đặt trên tụ cao nhất bởi vì cấu hình 3L-ZSI với một mạng LC [32] sử dụng nhiều hơn 2 tụ điện vì vậy điện áp trên tụ điện là thấp nhất. Như đã trình bày ở Hình 3.6 (d), điện áp đặt trên hai khóa T_1 và T_2 của cấu hình đề xuất 3L-qSBT²I khi áp dụng phương pháp điều khiển PWM nhỏ nhất là giống với cấu hình 3L-BNI [47]. Cấu hình đề xuất 3L-qSBT²I khi áp dụng phương pháp điều khiển PWM lớn nhất có điện áp đặt trên các tụ và các khóa T_1 và T_2 thấp hơn cấu hình HB-SBIs [46] với độ lợi điện áp thấp hơn 3.28.

3.5.5. Tổn hao trong phương pháp điều khiển PWM đề xuất 3L-qSBT²I

Tổn hao trong mạch nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T bao gồm tổn hao dây dẫn, tổn hao mạch kích các khóa công suất và tổn hao các khóa công suất trong mạng nguồn kháng cũng như phía nghịch lưu. Tuy nhiên, trong các loại tổn hao được liệt kê ở trên, tổn hao các khóa công suất trong mạng nguồn kháng cũng như phía nghịch lưu là đáng kể. Tổn hao các khóa công suất trong mạng nguồn kháng cũng như phía nghịch lưu được xác định như sau:

$$P_{SW} = P_{SS} + P_{CS} \quad (3.26)$$

Với P_{SW} là tổn hao trong 1 chu kỳ điện áp điều khiển trên khóa công suất trong mạch nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T, P_{SS} là tổn hao do chuyển mạch, P_{CS} là tổn hao do dẫn điện trong 1 chu kỳ điện áp điều khiển trên khóa công suất trong mạch nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T.

Trong phương pháp đề xuất 3L-qSBT²I như trình bày ở Hình 3.1 trạng thái kích đóng/ngắt của các khóa nghịch lưu là giống như các phương pháp điều khiển PWM thông thường [48]. Trong một chu kỳ đóng/ngắt. Số trạng thái kích đóng và kích ngắt của các khóa T_1 và T_2 trong cả hai phương pháp điều khiển PWM đề xuất và phương pháp điều khiển PWM thông thường là hai. Số trạng thái phân cực thuận và phân cực ngược các diode của cả hai phương pháp đề xuất và thông thường là hai. Do đó, tổn hao đóng/ngắt là không tăng trong phương pháp điều khiển PWM đề

xuất so với phương pháp điều khiển PWM thông thường. Bởi vì phương pháp điều khiển PWM đề xuất sử dụng chu kỳ ngắn mạch nhỏ mà vẫn tạo ra độ lợi điện áp ngõ ra tương tự các phương pháp điều khiển PWM thông thường, tổn hao dẫn trong những khóa nghịch lưu giảm khi áp dụng phương pháp điều khiển PWM đề xuất. So sánh phương pháp điều khiển PWM trong cấu hình 1S3L-BNI [48] với kỹ thuật điều khiển PWM đề xuất. Kỹ thuật điều khiển PWM đề xuất có khoảng thời gian dẫn của các khóa T_1 và T_2 gia tăng. Tuy nhiên, khoảng phân cực thuận của các diode D_1 và D_4 giảm. Do đó, khoảng thời gian dẫn của các khóa T_1 và T_2 là một hằng số, trong khi tổn hao dẫn của các diode giảm đáng kể khi áp dụng kỹ thuật điều khiển PWM đề xuất.

3.6. Hướng dẫn lựa chọn các phần tử trong nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T

Từ phương trình (3.23) chỉ số điều chế được tính toán theo điện áp ngõ ra và điện áp ngõ vào tối đa như sau:

$$M = \frac{2\hat{v}_x}{4\hat{v}_x - V_{dc_max}}, \quad (3.27)$$

Với V_{dc_max} là điện áp ngõ vào tối đa khi đó chu kỳ ngắn mạch được tính $D_0 = 1 - M$

3.6.1. Lựa chọn cuộn dây và tụ điện

Trong các bộ chuyển đổi điện áp, bộ biến đổi tăng áp được chia thành 2 dạng: trạng thái dòng liên tục (CCM) và trạng thái dòng gián đoạn (DCM). Mặt khác, tùy theo các ứng dụng cũng như yêu cầu thiết kế của khách hàng mà cuộn dây tăng áp có độ gợn bao nhiêu phần trăm cho phép (30% trong cấu hình đề xuất). Trong cấu hình đề xuất 3L-qSBT²I sử dụng trạng thái dòng điện liên tục. Do đó, độ gợn dòng điện của cuộn dây L_B và độ gợn điện áp trên tụ C_1 và C_2 được định nghĩa như sau:

$$r_L \% = \frac{\Delta I_L}{I_L} \quad \& \quad r_C \% = \frac{\Delta V_C}{V_C}. \quad (3.28)$$

Từ phương trình (3.16), (3.25) và (3.27) giá trị cuộn dây và tụ điện của phương pháp đề xuất 3L-qSBT²I được tính toán là:

$$L_B = \frac{\eta D_0 T V_{dc}^2}{2 r_L \% P_o} \quad \& \quad C_1 = C_2 = \frac{D_0 (1 - 2D_0)^2 T P_o}{r_C \% \eta (1 - D_0) V_{dc}^2}, \quad (3.29)$$

Với η là hiệu suất của nghịch lưu.

3.6.2. Lựa chọn bán dẫn

Điện áp đặt trên các khóa T_1, T_2, S_{2x} và S_{3x} ($x = a, b, c$) và các diode D_1-D_4 bằng với điện áp trên tụ V_C và được tính như sau:

$$V_C = \frac{V_{dc}}{1-2D_0}. \quad (3.30)$$

Điện áp đặt trên các khóa S_{1x} và S_{4x} là $2V_C$.

Từ Hình 3.2, dòng điện cực đại qua các khóa và các diode là bằng dòng điện qua cuộn dây và được xác định bởi phương trình (3.16). Dòng điện cực đại qua các diode D_2 và D_3 là:

$$I_{D2} = I_{D3} = I_L - I_{load} = \frac{1}{1-2D_0} I_{load}. \quad (3.31)$$

3.7. Kết quả mô phỏng và thực nghiệm

3.7.1. Kết quả mô phỏng

Bảng 3.3: Những thông số được sử dụng trong mô phỏng và thực nghiệm.

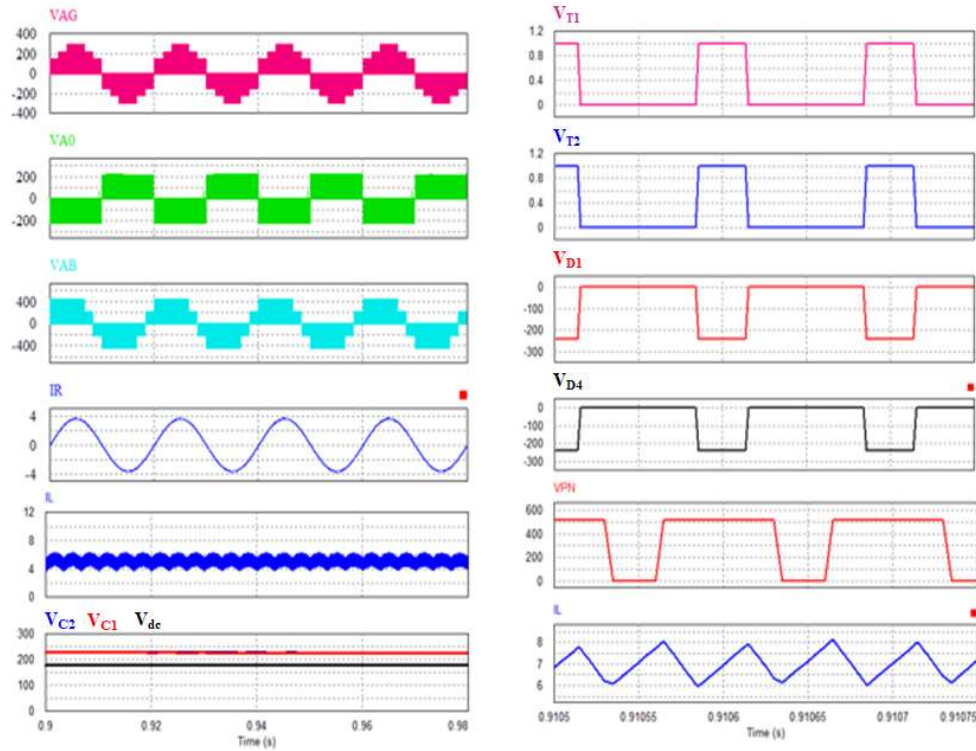
Thông số/thành phần		Giá trị
Điện áp ngõ vào	V_{dc}	90 – 180 V
Điện áp ngõ ra mong muốn	V_{ph}	111 Vrms
Tần số ngõ ra	f_o	50 Hz
Tần số sóng mang	f_s	5 kHz
Tỉ số ngắt mạch ST	D_0	0.3
Chỉ số điều chế	M	0.7
Cuộn dây tăng áp	L_B	3 mH/ 20 A
Tụ điện	$C_1 = C_2$	2200 μ F/400 V
Bộ lọc 3 pha LC	L_f và C_f	3 mH and 10 μ F
Tải trở 3 pha	R_{load}	40 Ω

Để kiểm chứng hiệu suất của cấu hình 3L-qSBT²I với kỹ thuật điều khiển PWM đề xuất, phần mềm PSIM được sử dụng để mô phỏng. Những thông số của cấu hình đề xuất 3L-qSBT²I được trình bày trong Bảng 3.3 được tính toán từ phương trình (3.20) điều kiện của tỷ số ngắt mạch được xác định $D_0 < 0.5$. Để không ảnh hưởng đến điện áp ngõ ra, đỉnh của điện áp tham chiếu V_{ref_x} phải nhỏ hơn hoặc bằng hằng số điện áp V_{ST} . Do đó, chu kỳ ngắt mạch D_0 bị giới hạn bởi $(1-M)$. Khi D_0 hoạt động trong dãy từ 0.01 đến 0.49, dãy điện áp ngõ vào đạt được 10V đến 312 V từ phương

trình (3.17). Trường hợp điện áp ngõ vào 10 V, các thông số điều khiển được tính $D_0=0.49$, $M=0.51$, $d=0.51$, với các thông số điều khiển này điện áp trên tụ, các khóa công suất của hệ thống sẽ rất cao gây nên nguy hiểm cho bộ chuyển đổi khi hoạt động. Trường hợp điện áp ngõ vào là 312 V, các thông số điều khiển được tính $D_0=0$, $M=1$, $d=0$, với các thông số điều khiển này việc áp dụng cho các ứng dụng PV có điện áp ngõ vào thấp là không khả thi. Mặt khác điều kiện phòng thí nghiệm cũng như cơ sở vật chất chưa đáp ứng được cấp điện áp ngõ ra 220 V hiệu dụng. Tuy nhiên, tác giả đã cố gắng đáp ứng được cấp điện áp ngõ ra 110 V hiệu dụng phù hợp với cấp điện áp của thế giới. Do đó, để áp dụng cho những ứng dụng PV và an toàn cho hệ thống hoạt động tác giả chọn dây điện áp ngõ vào từ 90V đến 180V cho giải thuật đề xuất 3L-qSBT²I. Để tạo ra điện áp 110 V hiệu dụng từ điện áp ngõ vào tối đa 180 V và điện áp ngõ vào tối thiểu 90 V, với chỉ số điều chế từ phương trình (3.27) phải bằng 0.7. Do đó chu kỳ ngắn mạch được tính là $D_0=0.3$.

Hình 3.8 trình bày kết quả mô phỏng cho cấu hình 3L-qSBT²I khi $V_{dc} = 180$ V và $d_1 = d_2 = 0.3$. Từ trên xuống dưới: (a) điện áp pha ngõ ra V_{AG} , điện áp pha so với trung tính nguồn V_{AO} , điện áp dây ngõ ra V_{AB} , dòng điện tải I_R , dòng điện ngõ vào I_L ở tần số cao, điện áp ngõ vào V_{dc} , và điện áp tụ điện C_1 và C_2 ; và (b) tín hiệu điều khiển cực công của T_1 và T_2 , điện áp của diode D_1 và D_4 , điện áp *DC-link*, và dòng điện của cuộn dây ở tần số thấp.

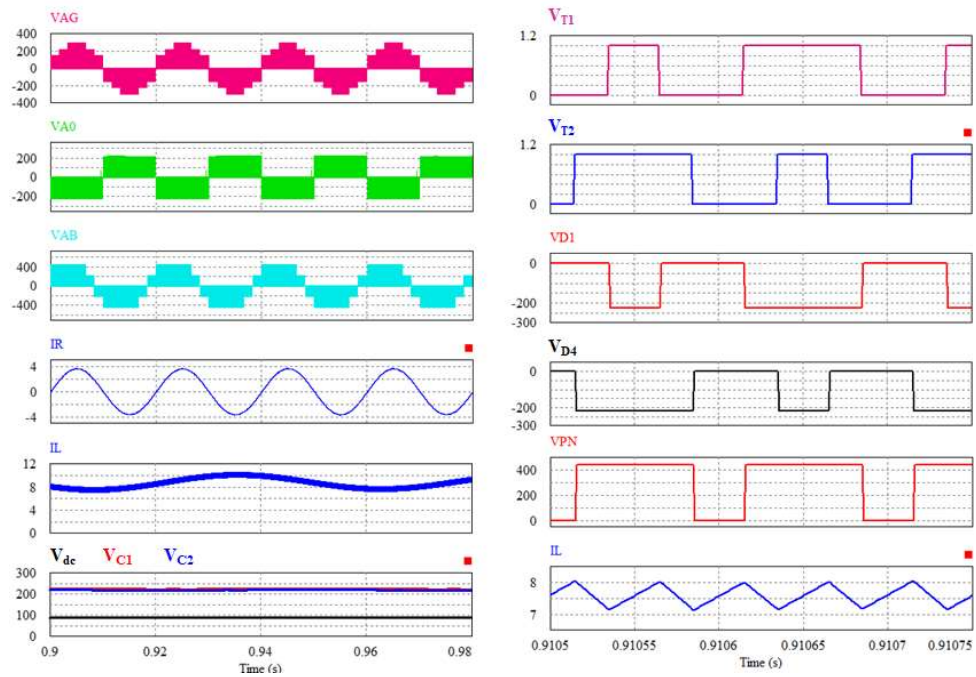
Hình 3.8 trình bày kết quả mô phỏng của cấu hình đề xuất 3L-qSBT²I với phương pháp điều khiển PWM đề xuất. Khi $V_{dc}=180$ V và $d_1=d_2=0.3$. Như trình bày ở Hình 3.8 điện áp của tụ C_1 và C_2 được tăng áp lên 225 V và 224 V từ điện áp ngõ vào 180 V. Điện áp *DC-link* mô phỏng đạt được 449 V. Tần số hoạt động của cuộn dây L_B là 20 KHz. Điện áp pha so với tâm nguồn (V_{AO}) có điện áp 225 V, 0 và -225 V. Dòng điện ngõ ra liên tục.



(a)

(b)

Hình 3.8: Kết quả mô phỏng cho cấu hình 3L-qSBT²I khi $V_{dc} = 180 \text{ V}$ và $d_1 = d_2 = 0.3$.



(a)

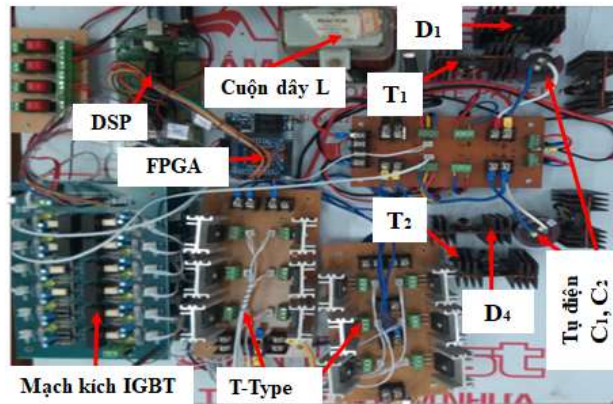
(b)

Hình 3.9: Kết quả mô phỏng cấu hình 3L-qSBT²I khi $V_{dc} = 90 \text{ V}$ và $d_1 = d_2 = 0.7$.

Hình 3.9: Kết quả mô phỏng cho cấu hình 3L-qSBT²I khi $V_{dc} = 90$ V và $d_1 = d_2 = 0.7$. Từ trên xuống dưới: (a) điện áp pha ngõ ra V_{AG} , điện áp pha so với trung tính nguồn V_{AO} , điện áp dây ngõ ra V_{AB} , dòng điện tải I_R , dòng điện ngõ vào I_L ở tần số cao, điện áp ngõ vào V_{dc} , và điện áp tụ điện C_1 và C_2 ; và (b) tín hiệu điều khiển cực cổng của T_1 và T_2 , điện áp của diode D_1 và D_4 , điện áp $DC-link$, và dòng điện của cuộn dây ở tần số thấp.

Hình 3.9 trình bày kết quả mô phỏng của cấu hình đề xuất 3L-qSBT²I với phương pháp điều khiển PWM đề xuất. Khi $V_{dc}=90$ V và $d_1=d_2=0.7$. Như trình bày ở Hình 3.9, điện áp của tụ C_1 và C_2 được tăng áp lên 225 V và 224 V từ điện áp ngõ vào 90 V. Điện áp $DC-link$ mô phỏng đạt được 449 V. Tần số hoạt động của cuộn dây L_B là 20 KHz. Điện áp pha so với tâm nguồn (V_{AO}) có điện áp 225 V, 0 V và -225 V. Dòng điện ngõ ra liên tục.

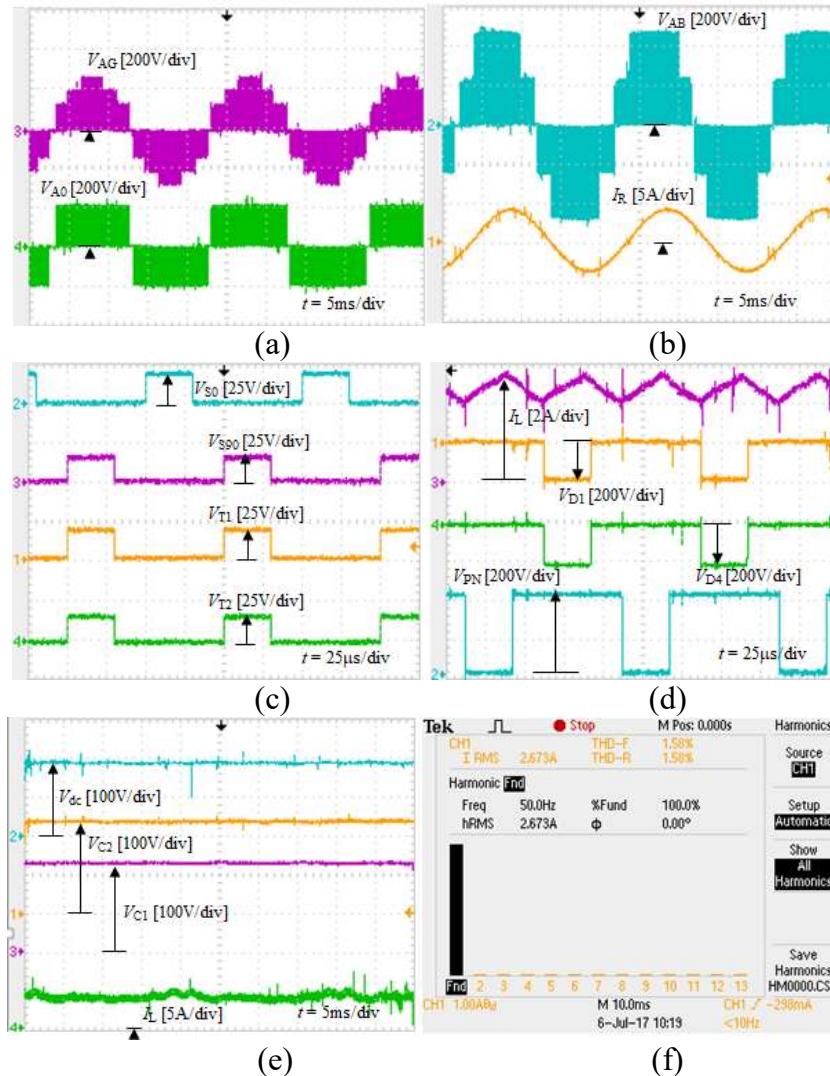
3.7.2. Kết quả thực nghiệm



Hình 3.10: Mô hình thực nghiệm cho cấu hình đề xuất 3L-qSBT²I.

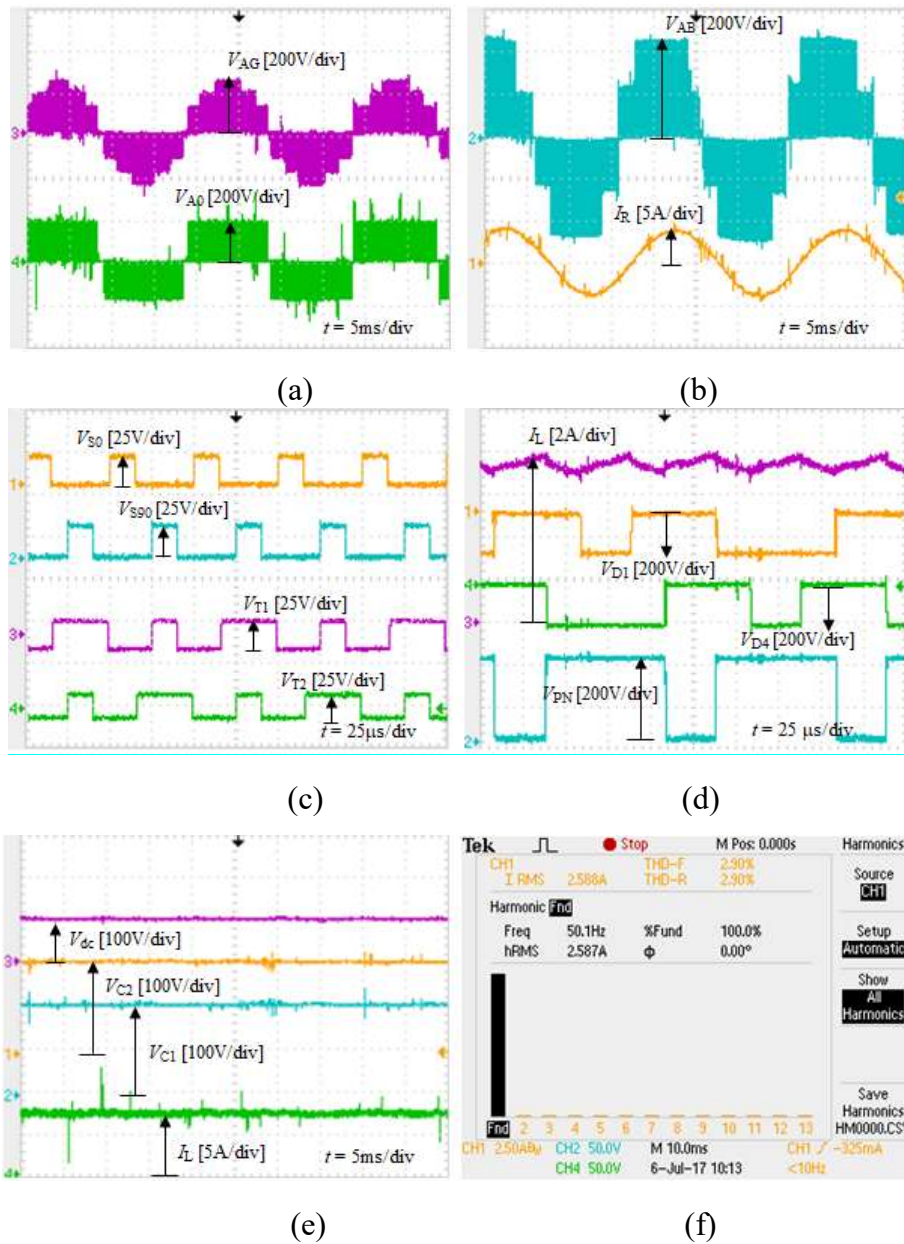
Một mô hình với công suất 1 kW dựa vào vi điều khiển xử lý tín hiệu số TMS320F28335 để kiểm chứng hiệu quả của cấu hình đề xuất 3L-qSBT²I với phương pháp điều khiển PWM đề xuất. Hình 3.10 thể hiện mô hình thực nghiệm. Điện áp ngõ vào trong dãy từ 90 V đến 180 V. Điện áp ngõ ra mong muốn là 110 V. Tần số ngõ ra là 50 Hz. Tần số đóng/ngắt của mạch nghịch lưu cầu hình T là 5 KHz. Tất cả IGBT FGL40N150D (sản xuất tại Nhật) trong mô hình thực nghiệm được điều khiển bởi những mạch khuếch đại và cách ly TL250. Bốn diode công suất DSEI60-12A (sản xuất tại Nhật). Cuộn dây tăng áp L_B có giá trị 3mH và dòng điện định mức 20A. Hai tụ điện C_1 và C_2 có giá trị 2200 μ F và điện áp định mức 400V.

Điện áp ngõ ra được lọc bởi một bộ lọc thông thấp 3 pha. Chỉ số điều chế và chu kỳ ngắn mạch trong cấu hình đề xuất có thông số là 0.7 và 0.3.



Hình 3.11 kết quả thực nghiệm cấu hình đề xuất khi $V_{dc} = 180\text{ V}$ và $d_1 = d_2 = 0.3$.

Hình 3.11 trình bày những dạng sóng thực nghiệm của 3L-qSBT²I với phương pháp điều khiển PWM nhỏ nhất có các thông số $V_{dc} = 180\text{ V}$ và $d_1 = d_2 = 0.3$. Điện áp của tụ điện C_1 và C_2 được tăng áp 212 V và 224 V, từ điện áp ngõ vào 180 V. Điện áp đỉnh của *DC-link* đo được 436 V. Dòng điện ngõ vào liên tục. Như hình 3.11 (c) các khóa đóng/ngắt của T_1 và T_2 được kích cùng một thời điểm. Những tín hiệu điều khiển được dịch pha 90° so với tín hiệu điều khiển chu kỳ ngắn mạch V_{S0} . Điện áp hiệu dụng pha ngõ ra (V_{AG}) đo được $108V_{\text{rms}}/50\text{Hz}$.



Hình 3.12 Kết quả thực nghiệm cho cấu hình đề xuất 3L-qSBT²I khi $V_{dc} = 90$ V và $d_1 = d_2 = 0.7$.

Khi điện áp ngõ vào giảm xuống 90 V, trong khi đó chỉ số điều chế và chu kỳ ngắn mạch trong cấu hình đề xuất được giữ cố định 0.7 và 0.3. Hình 3.12 trình bày những dạng sóng thực nghiệm của 3L-qSBT²I với phương pháp điều khiển PWM nhỏ nhất có các thông số $V_{dc} = 90$ V và $d_1 = d_2 = 0.7$. Điện áp trên tụ điện C_1 và C_2 được tăng áp 204 V và 212 V từ điện áp ngõ vào 90 V. Điện áp đỉnh của DC-link đo được 416 V. Điện áp hiệu dụng pha ngõ ra (V_{AG}) đo được $103V_{rms}/50Hz$.

Như trình bày ở Hình 3.11 và 3.12, dòng điện của cuộn dây tăng trong suốt chu kỳ ngắn mạch hoặc ở trạng thái không ngắn mạch 3 (NST3), khi cả hai khóa T_1 và T_2 được kích đóng đồng thời, tần số hoạt động của cuộn dây tăng áp L_B là 20 KHz mặc dù tần số đóng/ngắt của nghịch lưu cầu hình T là 5 KHz. Điện áp pha so với trung tính nguồn có ba bậc.

Hình 3.11 (a) và Hình 3.12 (a) dạng sóng nhìn từ trên xuống dưới là điện áp pha ngõ ra V_{AG} và điện áp pha so với trung tính nguồn V_{AO} . Ở Hình 3.11 (b) và Hình 3.12 (b) dạng sóng nhìn từ trên xuống dưới là điện áp dây ngõ ra V_{AB} và dạng sóng dòng điện tải I_R . Ở Hình 3.11 (c) và Hình 3.12 (c) dạng sóng nhìn từ trên xuống dưới là tín hiệu điều khiển ngắn mạch V_{S0} cho các khóa phía hình T và những tín hiệu điều khiển V_{S90} , V_{T1} và V_{T2} . Ở Hình 3.11 (d) và Hình 3.12 (d) dạng sóng nhìn từ trên xuống dưới là dòng điện của cuộn dây tăng áp, điện áp diode V_{D1} , điện áp diode V_{D4} và điện áp DC-link. Ở Hình 3.11 (e) và Hình 3.12 (e) những dạng sóng nhìn từ trên xuống dưới là điện áp ngõ vào V_{dc} , điện áp trên tụ C_2 , điện áp trên tụ C_1 và dòng điện ngõ vào. Hình 3.11 (f) và Hình 3.12 (f) trình bày độ méo dạng dòng điện tải (THD). Hình 3.11 và Hình 3.12 là dòng điện ngõ vào và ngõ ra được đo lường bởi cảm biến áp LEM-LA 25-P.

Bảng 3.4: Giá trị điện áp theo lý thuyết, mô phỏng và thực nghiệm khi $M = 0.7$ và $D_0 = 0.3$.

	$V_{dc} = 180 \text{ V}, d_{1-2} = 0.3$			$V_{dc} = 90 \text{ V}, d_{1-2} = 0.7$		
	Tính toán	Mô phỏng	Thực nghiệm	Tính toán	Mô phỏng	Thực nghiệm
Điện áp trên tụ C_1	225 V	224 V	212 V	225 V	225 V	204 V
Điện áp trên tụ C_2	225 V	225 V	224 V	225 V	224 V	212 V
Điện áp DC-link	450 V	449 V	436 V	450 V	449 V	416 V
Điện áp ngõ ra	111 V	111 V	108 V	111 V	111 V	103 V

Bảng 3.4 so sánh điện áp của các kết quả tính toán, mô phỏng và thực nghiệm của cấu hình 3L-qSBT²I với phương pháp điều khiển PWM đề xuất. Kết quả mô phỏng gần với kết quả tính toán, trong khi kết quả thực nghiệm nhỏ hơn kết quả tính toán. Điện áp DC-link của cấu hình 3L-qSBT²I đo được khi áp dụng hai phương pháp

PWM nhỏ nhất và phương pháp PWM lớn nhất có giá trị ít hơn kết quả tính toán 3.1% và 7.6%. Bởi vì điện áp rơi trên các linh kiện được sử dụng trong mô hình thực nghiệm. Khi áp dụng phương pháp điều khiển PWM lớn nhất với mong muốn đạt được độ lợi điện áp cao nên điện áp rơi trên linh kiện nhiều hơn.

Bảng 3.5 trình bày giá trị THD của phương pháp 3L-qSBT²I so với phương pháp trong [48]. Giá trị THD_v của giải thuật đề nghị khi áp dụng hai phương pháp PWM nhỏ nhất và phương pháp PWM lớn nhất lần lượt được tính là 63.2% và 70.5% và phương pháp [48] được tính 67.16%. Bởi vì sử dụng bộ lọc thông thấp 3 pha ngõ ra nên giá trị THD_i nhỏ hơn THD_v. Giá trị THD_i của giải thuật đề nghị khi áp dụng hai phương pháp PWM nhỏ nhất và phương pháp PWM lớn nhất lần lượt được tính là 2.58% và 3.2% và phương pháp [48] được tính 2.85%. Như kết quả, khi giải thuật đề nghị phương pháp PWM nhỏ nhất có THD_i nhỏ nhất so với phương pháp [48] và phương pháp PWM lớn nhất. Phương pháp PWM lớn nhất có THD_i lớn nhất bởi vì mong muốn đạt độ lợi điện áp cao nên tổng độ méo dạng sóng hài dòng điện cao.

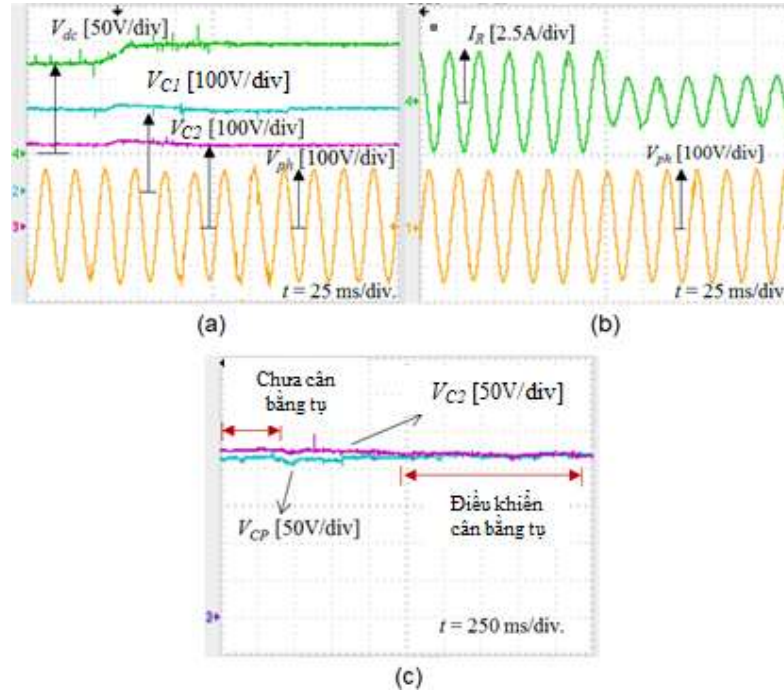
Bảng 3.5: THD của điện áp ngõ ra (THD_v) và dòng điện ngõ ra (THD_i) khi $M = 0.7$ và $D_0 = 0.3$.

Phương pháp trong [48]		Phương pháp đề xuất			
		$V_{dc} = 180 \text{ V}, d_{1-2} = 0.3$		$V_{dc} = 90 \text{ V}, d_{1-2} = 0.7$	
THD _i	THD _v	THD _i	THD _v	THD _i	THD _v
2.85%	67.16%	2.58%	63.2%	3.2%	70.5%

Hình 3.13 kết quả thực nghiệm cho cấu hình đề xuất 3L-qSBT²I. (a) khi V_{dc} được thay đổi từ 120 V đến 144 V, (b) khi công suất của tải bị giảm từ 900 W xuống 412 W và (c) quá trình cân bằng điện áp trên tụ. Nhìn từ trên xuống dưới (a) điện áp ngõ vào và điện áp ngõ ra, (b) điện áp và dòng điện ngõ ra, (c) điện áp trên các tụ C_1 và C_2 .

Hình 3.13 (a) trình bày những dạng sóng thực nghiệm của cấu hình đề xuất 3L-qSBT²I khi điện áp ngõ vào bất thành linh tăng từ 120 V đến 144 V. Hình 3.13 (b) trình bày những dạng sóng thực nghiệm của cấu hình đề xuất 3L-qSBT²I khi công suất tải bị giảm từ 900 W xuống 412 W. Các thông số PID của bộ điều khiển như: $K_p = 10.75$, $K_i = 0.95$ và $K_d = 0.00602$. Như đã trình bày ở Hình 3.13 (a) và 3.13 (b), điện áp pha ngõ ra được duy trì không đổi tại 110 V_{rms} .

Hình 3.13 (c) trình bày điện áp trên các tụ C_1 và C_2 khi chưa điều khiển cân bằng tụ với $V_{dc} = 120$ V và điện áp pha ngõ ra là 110 V_{rms}. Khi điều khiển cân bằng tụ C_1 và C_2 với giá trị cân bằng 220 V.



Hình 3.13 Kết quả thực nghiệm cân bằng điện áp tụ C_1 và C_2 và điện áp ngõ ra cho cấu hình đề xuất 3L-qSBT²I.

Kết luận:

Kết quả mô phỏng và thực nghiệm của giải thuật đề xuất đạt được các ưu điểm sau:

Kết quả mô phỏng và thực nghiệm Hình 3.8 và 3.9 chỉ ra rằng độ gợn dòng điện của cuộn tăng áp đạt được 1.8 A phù hợp phương trình lý thuyết (3.24); độ lợi điện áp là 1.75; hệ số tăng áp là 2.5. Khi chỉ số điều chế là 0.7; chỉ số ngắn mạch 0.3; chỉ số ngắn mạch cho hai khóa T_1 và T_2 là 0.3 và điện áp ngõ vào là 180 V.

Kết quả mô phỏng và thực nghiệm Hình 3.11 và 3.12 chỉ ra rằng độ gợn dòng điện của cuộn tăng áp đạt được 0.9 A phù hợp phương trình lý thuyết (3.24), độ lợi điện áp là 3.5; hệ số tăng áp là 5. Khi chỉ số điều chế là 0.7, chỉ số ngắn mạch 0.3, chỉ số ngắn mạch cho hai khóa T_1 và T_2 là 0.7 và điện áp ngõ vào là 90 V.

Trên cơ sở phân tích bộ nghịch lưu tăng áp, các công trình nghiên cứu về nghịch lưu tăng áp trong và ngoài nước, Tác giả đề xuất cấu hình nghịch lưu tăng áp trực

tiếp có công suất nhỏ, giảm các khóa công suất. Nghịch lưu tăng áp trực tiếp trên đề xuất kỹ thuật điều khiển phù hợp:

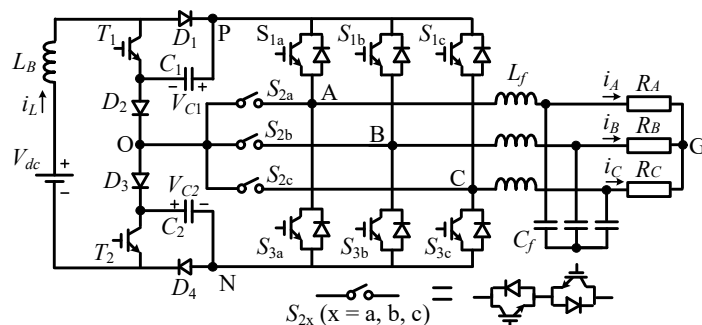
- a) Giảm độ gợn dòng điện ngõ ra nguồn điện một chiều;
- b) Độ lợi điện áp cao so với cấu hình tương tự;
- c) Chỉ số điều chế cao nhất có thể so với cấu hình tương tự.

Chương 4: Kỹ thuật điều chế vector không gian cho nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T có khả năng triệt tiêu điện áp common mode

Chương 3 đã trình bày cấu hình nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T với nhiều ưu điểm như: giảm độ gợn dòng điện của cuộn dây tăng áp, độ lợi điện áp cao và chỉ số điều chế cao nhất có thể so với cấu hình tương tự. Tuy nhiên, trong quá trình hoạt động, bộ nghịch lưu tạo ra điện áp common mode (CMV), quá trình này là nguyên nhân chính dẫn đến nhiều vấn đề bất lợi cho bộ nghịch lưu như: dòng điện rò, điện áp trục trong các ứng dụng điều khiển động cơ cũng như nhiễu điện từ. Vì vậy trong chương 4 tác giả sẽ trình bày giải thuật triệt tiêu CMV dựa vào kỹ thuật điều chế xung vector không gian. Ngoài ra, kỹ thuật SVM này còn giảm độ gợn dòng điện cuộn dây tăng áp cũng như độ lợi điện áp và chỉ số điều chế cao.

4.1. Nguyên lý hoạt động và giải thuật triệt tiêu common mode cho 3L-qSBT²I.

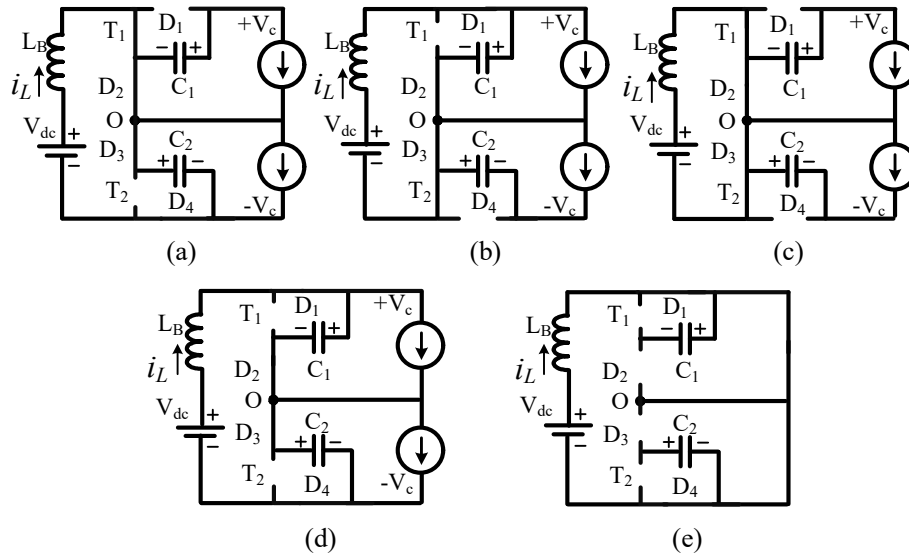
Về cấu hình giống như cấu hình nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T như đã trình bày ở chương 3. Hình 4.1 trình bày cấu hình của 3L-qSBT²I. Trong 3L-qSBT²I, một mạng nguồn kháng bao gồm một cuộn dây tăng áp (L_B), hai tụ (C_1, C_2), hai khoá tích cực (T_1, T_2) và bốn diode (D_1-D_4) được sử dụng và ngõ ra của mạng nguồn kháng kết nối với nghịch lưu ba bậc hình T thông thường. Nghịch lưu ba bậc hình T thông thường sử dụng gồm 6 khoá một chiều và ba khoá hai chiều. Điểm trung tính của mạng nguồn kháng được kết nối nối tiếp với ba khoá xoay chiều S_{2a}, S_{2b}, S_{2c} .



Hình 4.1 Cấu hình 3L-qSBT²I

Giống như cấu hình nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T trong chương 3, nghịch lưu tăng áp tựa khoá chuyển mạch 3 bậc hình T với khả

năng triệt tiêu điện áp common mode (3L-qSBT²I-ECMV) có hai trạng thái làm việc chính: trạng thái ngắn mạch (ST) và trạng thái không ngắn mạch (NST). Trong trạng thái NST có 4 trạng thái NST phụ như trình bày ở Hình 4.2. Trong trạng thái không ngắn mạch được trình bày từ Hình 4.2 (a) đến Hình 4.2 (d), bên phía nghịch lưu tương đương một nguồn dòng. Hình 4.2 (e) trình bày trạng thái ngắn mạch nơi mà DC-link bị ngắn mạch bởi các khóa đóng/ngắt của mạch nghịch lưu hình T.



Hình 4.2: Trạng thái hoạt động của 3L-qSBT²I. (a) Trạng thái không ngắn mạch 1 (NST 1), (b) trạng thái không ngắn mạch 2 (NST 2), (c) trạng thái không ngắn mạch 3 (NST 3), (d) trạng thái không ngắn mạch 4 (NST 4) và (e) trạng thái ngắn mạch (ST).

Bảng 4.1: Trạng thái kích đóng/ngắt của 3L-qSBT²I (x=a, b, c)

Trạng thái	Kích đóng các khóa chuyển mạch	Phân cực thuận các Diode	V_X
NST 1	T_1	D_2, D_3, D_4	$+V_C, 0$ or $-V_C$
NST 2	T_2	D_1, D_2, D_3	$+V_C, 0$ or $-V_C$
NST 3	T_1, T_2	D_2, D_3	$+V_C, 0$ or $-V_C$
NST 4	S_{1x}	D_1, D_2, D_3, D_4	$+V_C$
	S_{2x}		0
	S_{3x}		$-V_C$
ST	S_{1x}, S_{2x}, S_{3x}	D_1, D_4	0

4.1.1. Nguyên lý hoạt động của 3L-qSBT²I.

4.1.1.1. Trạng thái không ngắn mạch.

Trong trạng thái NST1, khóa T_1 được kích đóng, trong khi khóa T_2 bị kích ngắt, như trình bày ở Hình 4.2 (a). Diode D_1 bị phân cực ngược, trong khi các diode D_2 , D_3 và D_4 được phân cực thuận. Cuộn dây L_B và tụ C_1 xả năng lượng, trong khi đó tụ C_2 được nạp.

Trong trạng thái NST2, khóa T_1 bị kích ngắt, trong khi khóa T_2 được kích đóng, như trình bày ở Hình 4.2 (b). Diode D_1 , D_2 , và D_3 được phân cực thuận, trong khi các diode D_4 bị phân cực ngược. Cuộn dây L_B và tụ C_2 xả năng lượng, trong khi đó tụ C_1 được nạp.

Trong trạng thái NST3, các khóa T_1 và T_2 được kích đóng, như trình bày ở Hình 4.2 (c). Các diode D_1 , và D_4 bị phân cực ngược, trong khi các diode D_2 và D_3 được phân cực thuận. Cuộn dây L_B nạp năng lượng, trong khi đó tụ C_1 và C_2 xả năng lượng. Khoảng thời gian của trạng thái này là $D_0.T$, với D_0 là chu kỳ ngắn mạch trong một chu kỳ đóng/ngắt T.

Trong trạng thái NST4, các khóa T_1 và T_2 bị kích ngắt, như trình bày ở Hình 4.2 (d). Các diode D_1 , D_2 , D_3 và D_4 được phân cực thuận. Các tụ C_1 và C_2 được nạp năng lượng từ điện áp ngõ vào V_{dc} . Trong khi cuộn dây L_B truyền năng lượng từ nguồn đến mạch chính, trong khi đó tụ C_1 và C_2 xả năng lượng. Khoảng thời gian của trạng thái này là $D_0.T$, với D_0 là tỉ số ngắn mạch trong một chu kỳ đóng/ngắt T.

4.1.1.2 Trạng thái ngắn mạch (ST)

Trong trạng thái ngắn mạch (ST), các khóa S_{1x} - S_{3x} bên phía nghịch lưu hình T được kích đóng đồng thời, trong khi các khóa T_1 và T_2 bị kích ngắt. Mạch tương đương trong trạng thái này được trình bày ở Hình 4.2 (e). Các diode D_1 và D_4 được phân cực thuận, trong khi các diode D_2 và D_3 bị phân cực ngược. Các tụ C_1 và C_2 không kết nối với mạch công suất. Khoảng thời gian của trạng thái ngắn mạch là $D_0.T$. Trong trạng thái này cuộn dây L_B nạp năng lượng như đã trình bày chi tiết trong Bảng 4.1.

4.1.2. Phân tích trạng thái xác lập cho 3L-qSBT²I

Tổng thời gian trong khoảng thời gian NST1 là $(d_1-D_0)T/2$, với d_1 là chu kỳ đóng/ngắt của khóa T_1 . Tổng thời gian trong khoảng thời gian NST2 là $(d_2-D_0)T/2$,

với d_2 là chu kỳ đóng/ngắt của khóa T_2 . Khoảng thời gian của trạng thái không ngắt mạch NST3 và trạng thái ngắt mạch ST là D_0T . Do đó, khoảng thời gian còn lại của trạng thái không ngắt mạch NST4 là $(1-D_0-d_1/2-d_2/2)T$. Áp dụng định lý cân bằng điện áp trên cuộn dây L_B , điện áp trên tụ được xác định như sau (với lưu ý rằng $d_1 = d_2 = d$):

$$V_c = V_{C1} = V_{C2} = \frac{V_{dc}}{2 - 3D_0 - d} \quad (4.1)$$

Với:

V_{C1} và V_{C2} : điện áp trên tụ C_1 và C_2 ;

V_{dc} : điện áp ngõ vào của bộ nghịch lưu;

D_0 : tỉ số ngắt mạch phía nghịch lưu;

d : hệ số công tác của khóa bán dẫn phía mạng nguồn kháng (với $d=d_1=d_2$).

Quan hệ giữa tỉ số ngắt mạch D_0 và d theo phương trình 4.2:

$$D_0 \leq d \leq 1 - D_0 \quad (4.2)$$

Điện áp hiệu dụng ngõ ra được xác định như sau:

$$V_{x,RMS} = \frac{M.V_c}{\sqrt{2}} = \frac{M}{\sqrt{2}} \cdot \frac{V_{dc}}{2 - 3D_0 - d} \quad (4.3)$$

Với:

$V_{x,RMS}$: điện áp hiệu dụng ngõ ra;

M : Chỉ số điều chế của bộ nghịch lưu;

Để tránh ảnh hưởng đến điện áp ngõ ra, quan hệ giữa chỉ số điều chế M và tỉ số ngắt mạch D_0 được trình bày theo phương trình 4.4:

$$\begin{cases} M \leq 1 \\ M + D_0 \leq 1 \end{cases} \quad (4.4)$$

4.1.3. Giải thuật điều chế vector không gian triệt tiêu điện áp common mode của 3L-qSBT²I.

Trong quá trình hoạt động, những bộ nghịch lưu đa bậc sinh ra điện áp common mode (CMV), điện áp CMV này được định nghĩa bởi điện áp giữa điểm trung tính tải “G” và trung tính DC-link “O”. CMV có thể được xác định bởi điện áp 3 pha ngõ ra và được trình bày như phương trình (4.5):

$$V_{CMV} = V_{GO} = \frac{V_{AO} + V_{BO} + V_{CO}}{3}. \quad (4.5)$$

Với:

V_{AO} , V_{BO} và V_{CO} : điện áp cực 3 pha ngõ ra.

Mặt khác, có 27 vector tương ứng với 27 trạng thái kích đóng/ngắt của 3LT²I. Tương ứng với mỗi vector, 3LT²I tạo ra một giá trị CMV. Bảng 4.2 liệt kê giá trị CMV của 3LT²I.

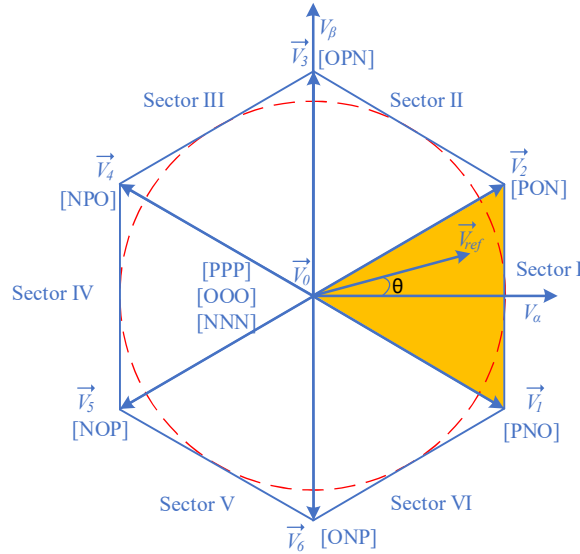
Bảng 4.2: Giá trị điện áp common mode (CMV) của nghịch lưu hình T 3 bậc (3LT²I).

Vectors	State	V_{CMV}	State	V_{CMV}	State	V_{CMV}
Zero	[OOO]	0	[PPP]	$+V_C$	[NNN]	$-V_C$
P-Type	[POO]	$+V_C/3$	[PPO]	$+2V_C/3$	[OPO]	$+V_C/3$
Small	[OPP]	$+2V_C/3$	[OOP]	$+V_C/3$	[POP]	$+2V_C/3$
N-Type	[ONN]	$-2V_C/3$	[OON]	$-V_C/3$	[NON]	$-2V_C/3$
Small	[NOO]	$-V_C/3$	[NNO]	$-2V_C/3$	[ONO]	$-V_C/3$
Medium	[PON]	0	[OPN]	0	[NPO]	0
	[NOP]	0	[ONP]	0	[PNO]	0
Large	[PNN]	$-V_C/3$	[PPN]	$+V_C/3$	[NPN]	$-V_C/3$
	[NPP]	$+V_C/3$	[NNP]	$-V_C/3$	[PNP]	$+V_C/3$

Như đã trình bày ở Bảng 4.2, biên độ cực đại của CMV đạt được khi những vector [PPP] hoặc vector [NNN] được chọn, giá trị của nó là $\pm V_C$. Khi những vector nhỏ được chọn để tổng hợp vector tham chiếu, giá trị CMV được thay đổi từ $-2V_C/3$ đến $+2V_C/3$, trong khi đó những vector lớn chỉ tạo ra CMV với giá trị đỉnh là $V_C/3$. Với 27 vector được liệt kê trong Bảng 4.2, vector zero [OOO] và những vector trung bình tạo ra giá trị CMV nhỏ nhất (0V). Do đó, khi vector zero [OOO] và những vector trung bình được chọn để tạo điện áp ngõ ra, giá trị CMV được giảm nhỏ nhất.

Để giảm CMV nhỏ nhất có thể tác giả đề xuất một phương pháp điều chế xung vector không gian SVM bằng cách sử dụng vector zero và những vector trung bình, để tổng hợp vector điện áp tham chiếu áp dụng cho 3LT²I. Kết quả, CMV được giảm nhỏ nhất. Hình 4.3 biểu thị rằng biên độ của vector zero và những vector trung bình là 0 và $2V_C/\sqrt{3}$. Biên độ cực đại của vector tham chiếu là V_C . Sơ đồ vector không gian (Hình 4.3) được chia 6 phần (6 sector), 6 sector này được sử dụng để phân tích nguyên lý hoạt động của bộ nghịch lưu.

Trong suốt quá trình hoạt động, trạng thái ngắn mạch (ST) được thêm vào vector zero để không ảnh hưởng đến điện áp ngõ ra mà vẫn duy trì trạng thái tăng áp. Do sơ đồ vector không gian được chia thành 6 phần đối xứng nhau, trong phần tính toán thời gian, sắp xếp các chuỗi xung và chèn xung ngắn mạch tác giả trình bày đơn cử cho sector I, các sector từ sector II đến sector IV được thực hiện tương tự.



Hình 4.3: Sơ đồ vector không gian của 3LT²I

Giả sử rằng, vector tham chiếu tọa lạc ở sector I, vector zero \vec{V}_0 và những vector trung bình (\vec{V}_1, \vec{V}_2) được chọn để tổng hợp vector tham chiếu, quan hệ của chúng được xác định như sau:

$$\begin{cases} \vec{V}_{ref} T_s = \vec{V}_0 T_0 + \vec{V}_1 T_1 + \vec{V}_2 T_2 \\ T_s = T_0 + T_1 + T_2 \end{cases} \quad (4.6)$$

Với:

\vec{V}_{ref} : Vector tham chiếu;

\vec{V}_0 : Vector zero;

\vec{V}_1, \vec{V}_2 : Những vector trung bình;

T_s : Chu kỳ đóng/ngắt của bộ nghịch lưu;

T_0, T_1, T_2 : thời gian tồn tại của những $\vec{V}_0, \vec{V}_1, \vec{V}_2$.

Vector tham chiếu \vec{V}_{ref} , vector zero \vec{V}_0 và những vector trung bình \vec{V}_1, \vec{V}_2 được định nghĩa như sau:

$$\begin{cases} \vec{V}_{ref} = M.V_C.e^{j\theta} \\ \vec{V}_0 = 0 \\ \vec{V}_1 = 2V_C / \sqrt{3}.e^{-j\pi/6} \\ \vec{V}_2 = 2V_C / \sqrt{3}.e^{j\pi/6} \end{cases} \quad (4.7)$$

Từ phương trình (4.6) và (4.7), thời gian tồn tại của những vector này được xác định như sau:

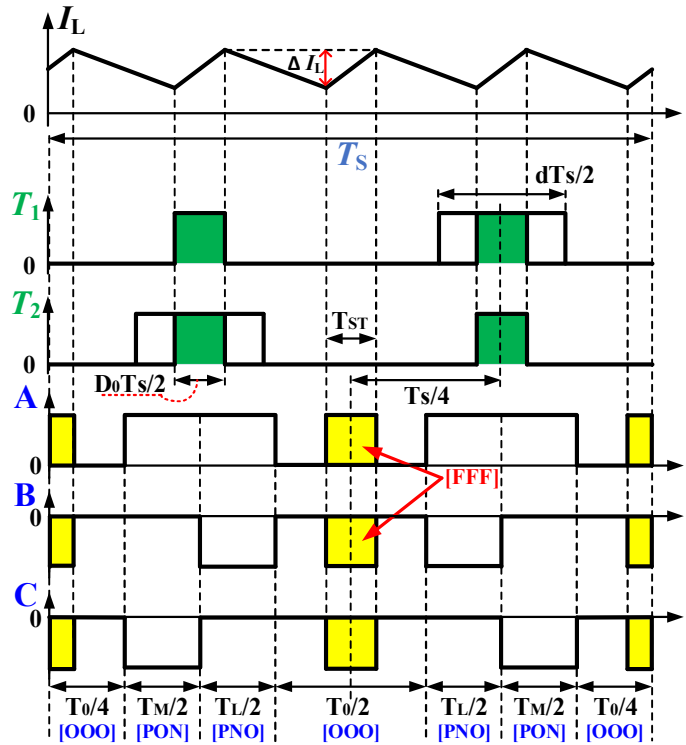
$$\begin{cases} T_1 = T_s.M.\sin(\pi / 6 - \theta) \\ T_2 = T_s.M.\sin(\pi / 6 + \theta). \\ T_0 = T_s - T_1 - T_2 \end{cases} \quad (4.8)$$

Chuỗi xung đóng/ngắt cho sector I được sắp xếp là [OOO]-[PON]-[PNO]-[OOO]-[PNO]-[PON]-[OOO].

Để đạt được trạng thái ngắn mạch (ST), tất cả các khóa của các nhánh bộ nghịch lưu phải được kích đóng đồng thời. Điều này sẽ làm điện áp pha – tâm nguồn là zero. Do đó, để đảm bảo khả năng tăng áp của mạng nguồn kháng mà không ảnh hưởng đến điện áp ngõ ra, vector ngắn mạch được thêm vào vector zero, vì vậy vector zero được thay đổi theo phương trình (4.9):

$$\begin{cases} \vec{V}'_0 T'_0 = \vec{V}_0 T_0 - \vec{V}_{ST} T_{ST} \\ T'_0 = T_0 - T_{ST} = T_0 - D_0 T_s \end{cases} \quad (4.9)$$

Để đạt được kỳ vọng mà luận án đặt ra, tác giả kết hợp trạng thái ngắn mạch và chuỗi xung đã trình bày ở Hình 4.3. Khi đó chuỗi xung được sắp xếp lại như sau: [FFF]-[OOO]-[PON]-[PNO]-[OOO]-[FFF]-[OOO]-[PNO]-[PON]-[OOO]-[FFF]. Với [FFF] là vector ngắn mạch. Cụ thể, việc chèn xung ngắn mạch và tín hiệu điều khiển cho hai khóa đóng/ngắt (T_1 và T_2) phía mạng nguồn kháng được trình bày ở Hình 4.4. Tín hiệu điều khiển ngắn mạch phía mạng nguồn kháng được dịch pha 90° so sánh với tín hiệu điều khiển phía nghịch lưu. Mục đích dịch pha để đảm bảo giảm độ gợn dòng điện của cuộn dây tăng áp như đã trình bày ở chương 3. Ngoài ra, hai khóa T_1 và T_2 được chèn thêm trạng thái phụ giúp bộ nghịch lưu tăng cường độ lợi điện áp như đã trình bày ở chương 3. Tương tự chuỗi xung của sector I, những chuỗi xung từ sector II đến sector IV được trình bày như Bảng 4.3.



Hình 4.4: Chuỗi xung và tín hiệu điều khiển của sector I cho 3L-qSBT²I-ECMV

Bảng 4.3: Chuỗi xung đóng/ngắt và phương pháp chèn xung 3L-qSBT²I-ECMV.

Sector	Chuỗi xung 3L-qSBT ² I-ECMV
I	[FFF]-[OOO]-[PON]-[PNO]-[OOO]-[FFF]-[OOO]-[PNO]-[PON]-[OOO]-[FFF]
II	[FFF]-[OOO]-[OPN]-[PON]-[OOO]-[FFF]-[OOO]-[PON]-[OPN]-[OOO]-[FFF]
III	[FFF]-[OOO]-[NPO]-[OPN]-[OOO]-[FFF]-[OOO]-[OPN]-[NPO]-[OOO]-[FFF]
IV	[FFF]-[OOO]-[NOP]-[NPO]-[OOO]-[FFF]-[OOO]-[NPO]-[NOP]-[OOO]-[FFF]
V	[FFF]-[OOO]-[ONP]-[NOP]-[OOO]-[FFF]-[OOO]-[NOP]-[ONP]-[OOO]-[FFF]
VI	[FFF]-[OOO]-[PNO]-[ONP]-[OOO]-[FFF]-[OOO]-[ONP]-[PNO]-[OOO]-[FFF]

4.2. Kết quả mô phỏng và thực nghiệm cho 3L-qSBT²I-ECMV.

4.2.1. Kết quả mô phỏng.

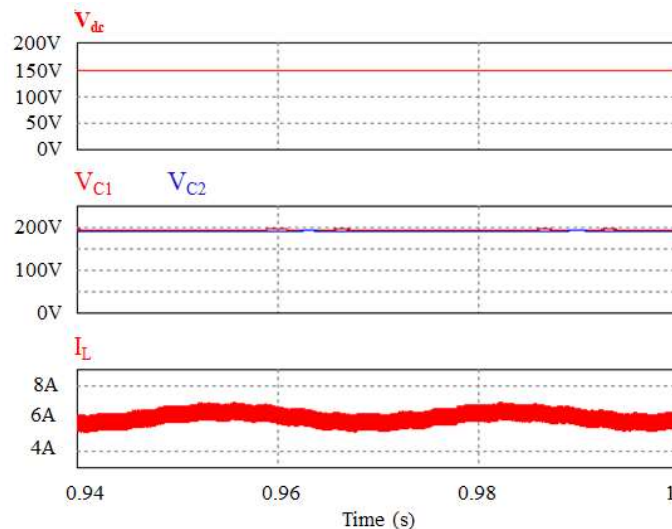
Để kiểm chứng hiệu suất của 3L-qSBT²I-ECMV, phần mềm PSIM được sử dụng để mô phỏng. Những thông số của mạch được trình bày trong Bảng 4.4.

Ba kỹ thuật PWM được sử dụng trong mô phỏng và thực nghiệm để chứng minh hiệu suất đạt được trong 3L-qSBT²I-ECMV: Phương pháp 1- phương pháp SinPWM truyền thống (PD). Phương pháp 2- phương pháp SinPWM dịch pha truyền thống (PS) [54], [58]. Phương pháp 3- phương pháp 3L-qSBT²I-ECMV. Các kết quả đạt được của phương pháp 1, áp dụng phương pháp chèn xung ngắn mạch

nửa trên (UST) và ngắn mạch nửa dưới (LST) được trình bày trong [52], [54]. Khi áp dụng các thông số điều khiển, $M=0.8$, $D_0=0.2$ và d được tính theo phương trình (4.3) là 0.63 để đạt $110V_{RMS}$ điện áp pha ngõ ra từ điện áp ngõ vào V_{dc} như mô tả ở Bảng 4.4.

Bảng 4.4: Thông số mô phỏng và thực nghiệm cho 3L-qSBT²I-ECMV.

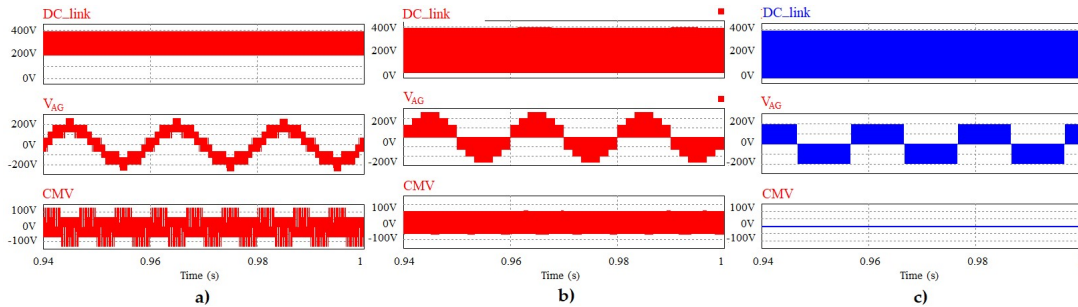
Tham số/thành phần		Giá trị
Điện áp ngõ vào	V_{dc}	150 V
Điện áp ngõ ra mong muốn	V_{XG}	110 Vrms
Tần số ngõ ra	f_o	50 Hz
Tần số sóng mang	f_s	5 kHz
Tỉ số ngắn mạch và chỉ số điều chế	D_0, M	0.2, 0.8
Cuộn dây tăng áp	L_B	3 mH/ 20 A, 0.12 Ω
Tụ điện	$C_1 = C_2$	2200 μ F, 44 m Ω
Bộ lọc 3 pha LC	L_f và C_f	3 mH và 10 μ F
Tải trở ba pha	R_{load}	40 Ω



Hình 4.5: Kết quả mô phỏng điện áp ngõ vào DC (V_{dc}), điện áp trên tụ (V_{C1} và V_{C2}) và dòng điện cuộn dây tăng áp (I_L) của phương pháp 3L-qSBT²I-ECMV.

Hình 4.5 nhìn từ trên xuống dưới điện áp ngõ vào (V_{dc}), điện áp trên tụ (V_{C1} và V_{C2}) và dòng điện cuộn dây tăng áp (I_L) của phương pháp 3L-qSBT²I-ECMV. Việc mô phỏng được tiến hành với các thông số như ở Bảng 4.4. Kết quả, điện áp trên tụ điện được tăng áp lên 194.8 V theo phương trình (4.1) và kết quả mô phỏng đo được trên tụ V_{C1} và V_{C2} đạt được 196 V và 193 V. Giá trị đỉnh của điện áp DC-link (tổng điện áp hai tụ C_1 và C_2) đo được 389 V. Trị trung bình dòng điện ngõ vào (dòng

điện của cuộn dây tăng áp) khi mô phỏng đạt được 6.1 A như đã trình bày ở Hình 4.5. Trong một chu kỳ điện áp ngõ ra giá trị lớn nhất và nhỏ nhất của dòng điện cuộn dây tăng áp đạt được 7 A và 5.2 A.

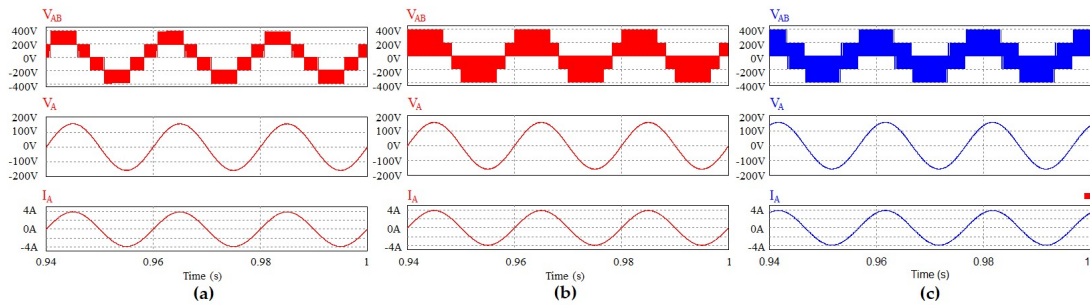


Hình 4.6: Kết quả mô phỏng điện áp DC-link, điện áp pha (V_{AG}) và CMV của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT²I-ECMV.

Hình 4.6 nhìn từ trên xuống dưới, kết quả mô phỏng của điện áp DC-link, điện áp pha (V_{AG}) và điện áp CMV của ba kỹ thuật như đã đề cập ở trên. Trong số những kỹ thuật này, giá trị đỉnh của điện áp DC-link là tương tự đạt được 389 V. Vì sử dụng phương pháp chèn xung ngắn mạch nửa trên và ngắn mạch nửa dưới cho nên điện áp DC-link của phương pháp 1 thay đổi từ $-V_{dc_link}/2$ đến V_{dc_link} , trong khi đó điện áp DC-link của phương pháp 2 và phương pháp 3L-qSBT²I-ECMV có hai giá trị $0V$ và V_{dc_link} vì hai phương pháp này sử dụng ngắn mạch toàn phần để tăng áp ngõ ra từ điện áp ngõ vào DC. Như đã trình bày ở Hình 4.6, giá trị THD của điện áp pha tăng dần từ phương pháp 1, phương pháp 2 đến phương pháp 3L-qSBT²I-ECMV. Kết quả mô phỏng THD của phương pháp 1, phương pháp 2 và phương pháp 3L-qSBT²I-ECMV đạt được 42.07%, 67.32% và 77.08%. Kết quả, giá trị CMV của phương pháp 1 có biên độ lớn nhất $2V_C/3$ và đạt 130 V. Phương pháp 2 có biên độ CMV trung bình thay đổi từ $+V_C/3$ (65 V) đến $-V_C/3$ (-65 V). Phương pháp 3L-qSBT²I-ECMV có CMV gần bằng $0V$. Giá trị hiệu dụng của CMV trong ba phương pháp lần lượt là $71 V_{RMS}$, $41.6 V_{RMS}$, và $0 V_{RMS}$. Tuy nhiên, vì áp dụng phương pháp 3L-qSBT²I-ECMV như trình bày ở Hình 4.6 cho nên điện áp pha ngõ ra còn ba bậc giống như điện áp cực, giá trị ba bậc đạt được là $+V_C$, 0 và $-V_C$.

Hình 4.7 Trình bày kết quả mô phỏng điện áp dây ngõ ra (V_{AB}), điện áp ngõ ra (V_{RA}) và dòng điện ngõ ra (I_A). Khi phương pháp 3L-qSBT²I-ECMV được sử dụng để giảm tối thiểu ảnh hưởng của CMV, THD của điện áp ngõ ra bị tăng lên. Giá trị

THD của điện áp dây ngõ ra (V_{AB}) cả ba phương pháp mô phỏng đạt được 42%, 67.3%, và 77.1%. Biên độ đỉnh của điện áp dây ngõ ra bằng với điện áp đỉnh DC-link, điện áp V_{AB} thay đổi từ 0 V đến 390 V như trình bày ở Hình 4.7. Vì sử dụng bộ lọc thông thấp (LC filter) ở ngõ ra cho nên giá trị THD dòng tải ngõ ra của ba phương pháp được mô phỏng đạt được 0.7%, 0.51%, và 1.28%. Giá trị của điện áp ngõ ra và dòng điện tải ngõ ra cho cả ba phương pháp là tương tự 110 V_{RMS} và 2.77 A_{RMS} .



Hình 4.7: Kết quả mô phỏng điện áp dây ngõ ra (V_{AB}), điện áp ngõ ra (V_{RA}) và dòng điện ngõ ra (I_A) của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT²I-ECMV.

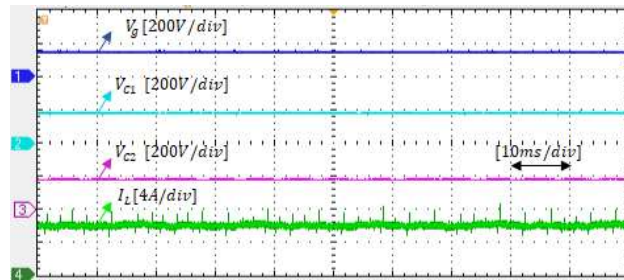
4.2.2. Kết quả thực nghiệm.



Hình 4.8: Mô hình thực nghiệm cho cấu hình 3L-qSBT²I-ECMV.

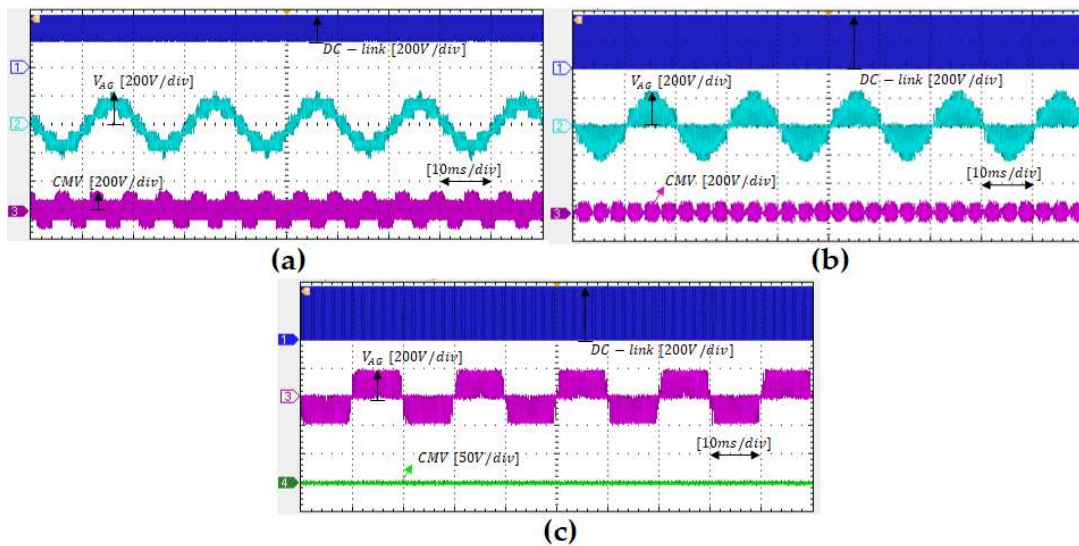
Để kiểm chứng hiệu suất của phương pháp 3L-qSBT²I-ECMV sử dụng kỹ thuật điều chế xung vector không gian, một mô hình thực nghiệm được xây dựng dựa trên vi điều khiển xử lý tín hiệu số DSP TMSF28335. Hình 4.8 trình bày mô hình thực nghiệm cho cấu hình 3L-qSBT²I-ECMV. Các thông số của thiết bị được sử dụng trong Bảng 4.4. Các Diode và IGBT được sử dụng trong mô hình thực nghiệm là

DSE160-12A và FGL40N150D (Nhật sản xuất). Chỉ số điều chế và tỉ số ngắn mạch được sử dụng giống như trong phần mô phỏng. Với 150 V điện áp DC ngõ vào, điện áp trên hai tụ C_1 và C_2 được tăng áp đến 187 V và 190 V.



Hình 4.9: Kết quả thực nghiệm của điện áp ngõ vào DC (V_{dc}), điện áp trên tụ C_1 và C_2 (V_{C1} và V_{C2}) và dòng điện cuộn dây tăng áp của 3L-qSBT²I-ECMV.

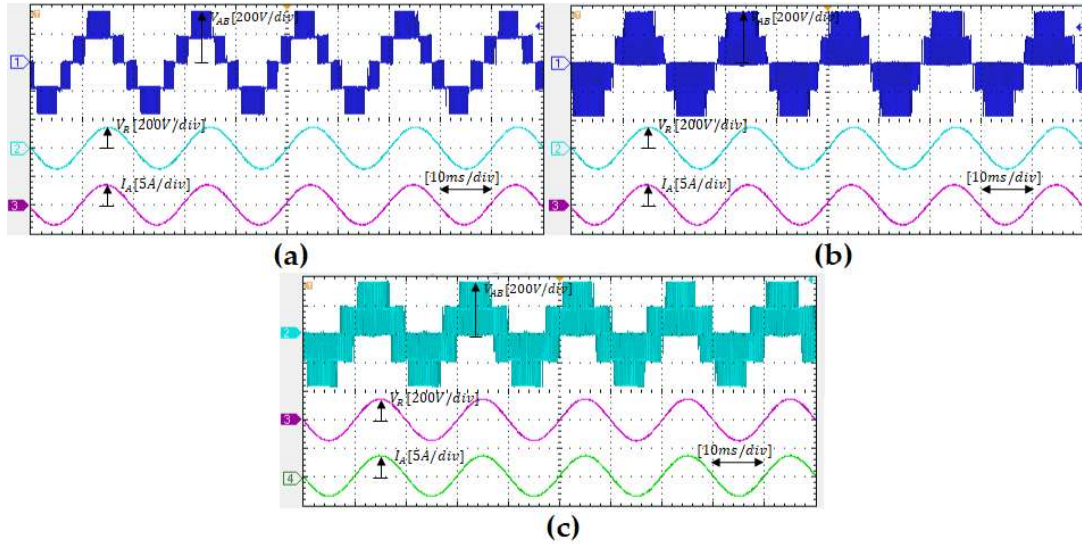
Giá trị trung bình dòng điện cuộn dây tăng áp đo thực nghiệm đạt được 6.02 A như trình bày ở Hình 4.9.



Hình 4.10: Kết quả thực nghiệm của điện áp DC-link, điện áp pha (V_{AG}) và CMV của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT²I-ECMV.

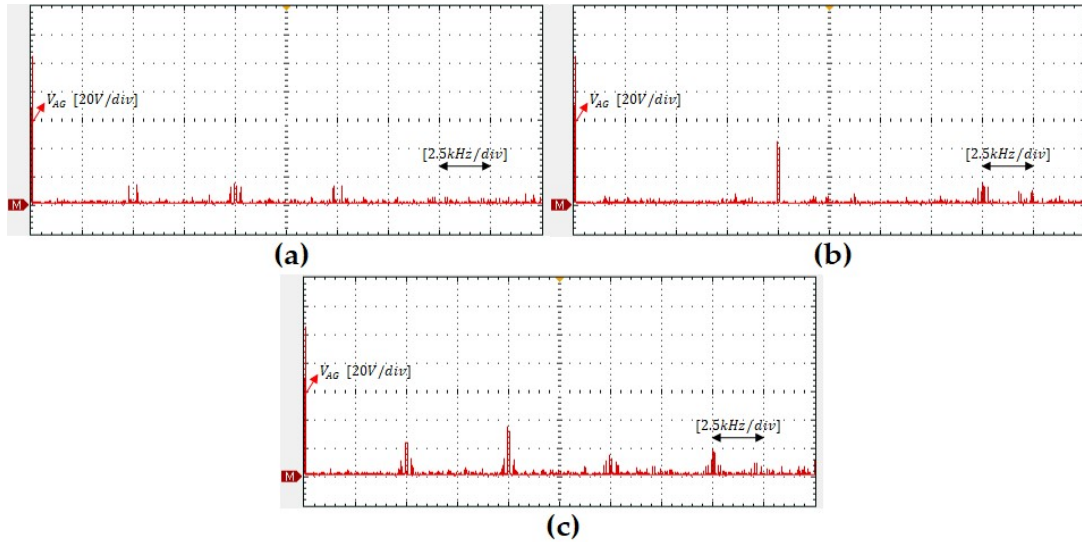
Như đã trình bày ở Hình 4.10, phương pháp 1 và phương pháp 2 có số bậc điện áp pha ngõ ra cao hơn phương pháp 3L-qSBT²I-ECMV như đã trình bày ở Hình 4.10 (a) và Hình 4.10 (b), vì thế chất lượng điện áp ngõ ra của phương pháp 1 và phương pháp 2 được cải thiện hơn phương pháp 3L-qSBT²I-ECMV. Tuy nhiên, trong số ba kỹ thuật, điện áp hiệu dụng CMV của phương pháp 3L-qSBT²I-ECMV được đo từ thực nghiệm $5.73 V_{RMS}$. Trong khi đó, với phương pháp 1 và phương pháp 2 đo được

67.8 V_{RMS} và 40.2 V_{RMS} . Như kết quả, phương pháp 3L-qSBT²I-ECMV giảm được 91.5% và 85.7% so sánh với phương pháp 1 và phương pháp 2.

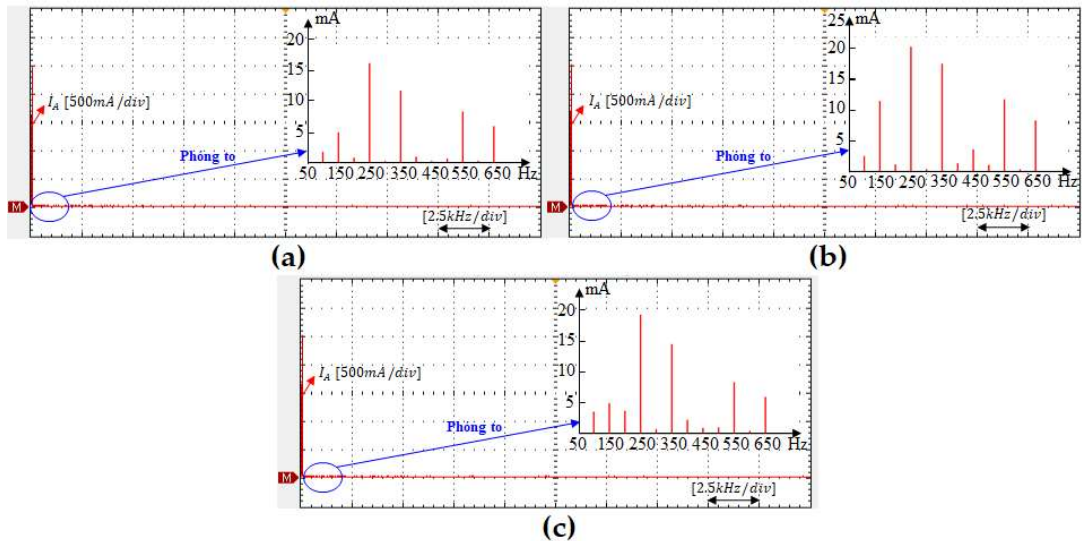


Hình 4.11: Kết quả thực nghiệm điện áp dây ngõ ra (V_{AB}), điện áp ngõ ra (V_{RA}) và dòng điện ngõ ra (I_A) của (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT²I-ECMV.

Hình 4.11 Trình bày kết quả thực nghiệm điện áp dây ngõ ra (V_{AB}), điện áp ngõ ra (V_{RA}) và dòng điện ngõ ra (I_A) của ba phương pháp. Tương tự điện áp pha ngõ ra được đề cập ở trên, điện áp dây ngõ ra được tạo bởi phương pháp 3L-qSBT²I-ECMV có chất lượng điện áp thấp nhất so với ba phương pháp. Bởi vì, phương pháp 3L-qSBT²I-ECMV chỉ áp dụng vector zero và các vector trung bình để tạo nên điện áp ngõ ra. Biên độ lớn nhất của điện áp dây ngõ ra tương tự biên độ của điện áp DC-link đạt được 380 V. Vì sử dụng bộ lọc thông thấp (LC filter) ở ngõ ra cho nên giá trị THD dòng tải ngõ ra của ba phương pháp được cải thiện đáng kể. Kết quả, giá trị của điện áp ngõ ra và dòng điện tải ngõ ra của ba phương pháp được cải thiện đáng kể. Kết quả, giá trị của điện áp ngõ ra và dòng điện tải ngõ ra có giá trị THD nhỏ như đã trình bày ở Hình 4.11. Giá trị hiệu dụng của điện áp ngõ ra và dòng điện ngõ ra là tương tự cho phương pháp 1, phương pháp 2 và phương pháp 3L-qSBT²I-ECMV và đo được từ thực nghiệm 105 V_{RMS} , 104 V_{RMS} và 104 V_{RMS} và dòng điện hiệu dụng ngõ ra của ba phương pháp đo được 2.6 A_{RMS} , 2.58 A_{RMS} và 2.55 A_{RMS} .



Hình 4.12: Kết quả thực nghiệm phân tích THD của điện áp ngõ ra (V_{AG}). (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT²I-ECMV.



Hình 4.13: Kết quả thực nghiệm phân tích THD của dòng điện ngõ ra (I_A). (a) Phương pháp 1, (b) phương pháp 2 và (c) phương pháp 3L-qSBT²I-ECMV.

Hình 4.12 và Hình 4.13 phân tích FFT của điện áp ngõ ra (V_{AG}) và dòng điện ngõ ra (I_A) được thực hiện cho cả ba phương pháp. Phổ hài của V_{AG} và I_A được xem xét, biên độ hài bậc một của điện áp pha ngõ ra và dòng điện tải ngõ ra của ba phương pháp là tương tự nhau và đo được 104.5 V và 2.55 A. Giá trị THD của V_{AG} và I_A được tính toán bởi kết quả của phổ hài như trình bày ở Bảng 4.5. Trong số ba phương pháp, Giá trị THD của phương pháp 3L-qSBT²I-ECMV lớn nhất đạt 89.18%. Trong khi đó giá trị THD của phương pháp 1 và phương pháp 2 lần lượt

tính được 57.62% và 81.25%. Bởi vì sử dụng bộ lọc thông thấp 3 pha ngõ ra nên giá trị THD_I nhỏ hơn THD_V . Cả ba có giá trị THD_I tính toán được 2.62%, 2.34% và 3.3%.

Bảng 4.5: Phân tích THD của điện áp ngõ ra (THD_V) và dòng điện tải (THD_I).

	Phương pháp 1	Phương pháp 2	Phương pháp 3L-qSBT ² I-ECMV
THD_V	57.62%	81.25%	89.18%
THD_I	2.62%	2.34%	3.3%

Kết luận:

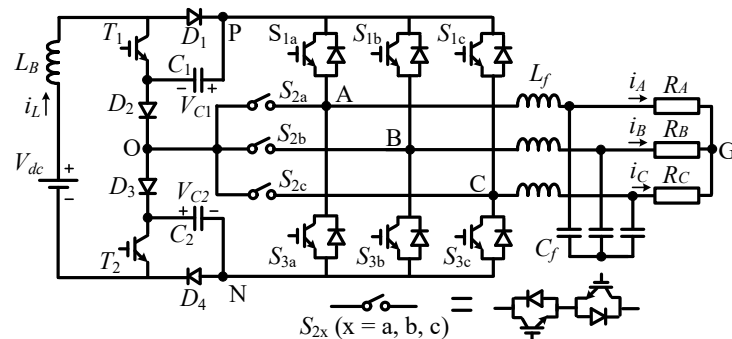
Trên cơ sở phân tích 3L-qSBT²I-ECMV, các công trình nghiên cứu về 3L-qSBT²I-ECMV trong và ngoài nước, tác giả đề xuất cấu hình 3L-qSBT²I-ECMV công suất nhỏ, với khả năng triệt tiêu được điện áp common mode (CMV), mặc dù THD_I cao hơn phương pháp 1 và phương pháp 2. Tuy nhiên giá trị 3.3% vẫn nhỏ hơn nhiều so với tiêu chuẩn cho phép 5% [87].

Ngoài kỹ thuật chèn các vector để triệt tiêu điện áp common mode, việc phân tích nguyên lý hoạt động, xây dựng file mô phỏng và chế tạo mô hình thực nghiệm là cần thiết.

Chương 5: Nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với khả năng chịu lỗi hở mạch các khóa công suất

Chương 3 tác giả đã trình bày cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với ưu điểm như: giảm độ gợn dòng điện ngõ ra nguồn điện một chiều, độ lợi điện áp cao và chỉ số điều chế cao nhất có thể so với cấu hình tương tự. Chương 4 trình bày cấu hình nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T với ưu điểm như: Kỹ thuật điều chế xung vector không gian có khả năng triệt tiêu được điện áp common mode. Tuy nhiên, tính ổn định và độ tin cậy của bộ nghịch lưu rất quan trọng trong hệ thống phân phối công suất như là: hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới. Vì vậy, chương 5 tác giả sẽ trình bày giải thuật chịu lỗi hở mạch các khóa công suất trong bộ nghịch lưu tăng áp tựa khóa chuyển mạch 3 bậc hình T. Giải thuật điều chế xung PWM này không chỉ chịu lỗi các khóa công suất bị lỗi hở mạch bên phía nghịch lưu mà còn có khả năng chịu lỗi cho hai khóa công suất ở mạng nguồn kháng bằng phương pháp điều chế lại tín hiệu điều khiển. Ngoài ra, tác giả còn cải thiện các thông số điều khiển để giảm điện áp đặt trên các khóa bán dẫn khi hoạt động ở điều kiện bình thường và điều kiện lỗi. Giải thuật đề xuất hoạt động trong điều kiện bình thường và lỗi hở mạch khóa công suất mà không thêm bất cứ phần tử công suất nào. Điều này sẽ giúp hệ thống giảm kích thước và trọng lượng.

5.1. Nguyên lý hoạt động và giải thuật chịu lỗi 3L-qSBT²I.

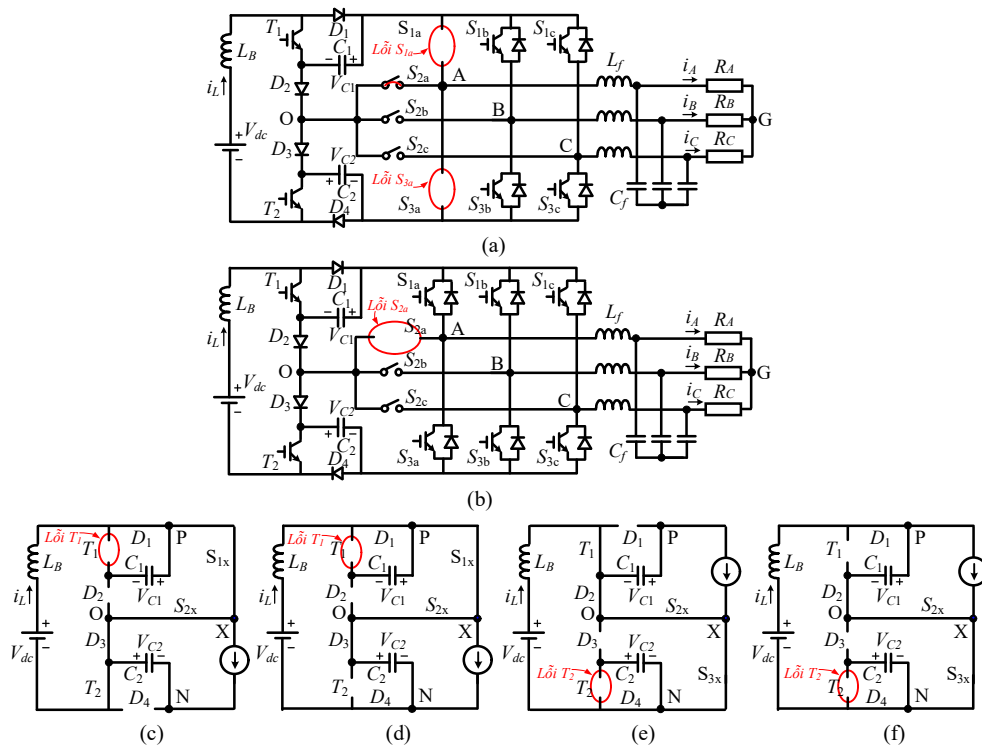


Hình 5.1 Cấu hình 3L-qSBT²I

Hình 5.1 trình bày cấu trúc mạch của 3L-qSBT²I. Trong 3L-qSBT²I, một mạng nguồn kháng bao gồm một cuộn dây tăng áp (L_B), hai tụ (C_1 , C_2), hai khóa tích cực (T_1 , T_2) và bốn diode (D_1 - D_4) được sử dụng và ngõ ra của mạng nguồn kháng kết

nối với nghịch lưu ba bậc hình T thông thường. Nghịch lưu ba bậc hình T thông thường sử dụng gồm 6 khóa một chiều và ba khóa hai chiều. Điểm trung tính của mạng nguồn kháng được kết nối nối tiếp với ba khóa hai chiều S_{2a} , S_{2b} , S_{2c} . Một trong những tính năng nghiên cứu của luận án này là: giới thiệu một số khả năng chịu lỗi khi một trong các khóa công suất trong nghịch lưu hình T hoặc một khóa trong mạng nguồn kháng bị lỗi hở mạch. Như đã trình bày trong chương 3, mạch 3L-qSBT²I ở chế độ bình thường có hai trạng thái làm việc chính: trạng thái ngắn mạch (ST) và trạng thái không ngắn mạch (NST). Trong trạng thái ngắn mạch tất cả các khóa công suất S_{ix} ($i=1, 2, 3$ và $x=a, b, c$) của nghịch lưu hình T đều được kích đóng đồng thời, trong khi hai khóa T_1 và T_2 của mạng nguồn kháng được kích ngắt. Cuộn dây tăng áp L_B được tích lũy năng lượng trong trạng thái này, trong khi tụ điện không hoạt động.

5.1.1. Nguyên lý hoạt động của chịu lỗi 3L-qSBT²I.

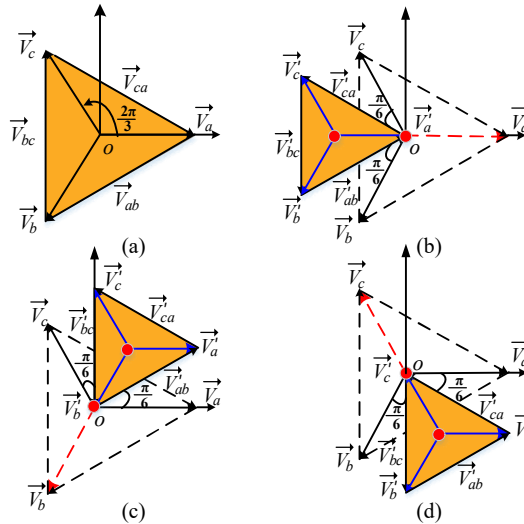


Hình 5.2 Trạng thái hoạt động của chịu lỗi 3L-qSBT²I trong những điều kiện lỗi khóa công suất

Hình 5.2 (a) lỗi hở mạch S_{1a} hoặc S_{3a} , (b) lỗi hở mạch của S_{2a} , và (c) trạng thái NST5 với lỗi hở mạch của T_1 và (d) trạng thái NST6 với lỗi hở mạch của T_1 hoặc (e) trạng thái NST5 với lỗi hở mạch của T_2 và (f) trạng thái NST6 với lỗi hở mạch của T_2 .

Bảng 5.1: Những góc pha chuẩn trong điều kiện bình thường và xảy ra lỗi.

Tín hiệu điều chế	\vec{V}'_a	\vec{V}'_b	\vec{V}'_c	\vec{V}'_{ab}	\vec{V}'_{bc}	\vec{V}'_{ca}
Hoạt động bình thường		$-2\pi/3$	$2\pi/3$	$\pi/6$	$-\pi/2$	$5\pi/6$
Lỗi pha A	0	$-5\pi/6$	$5\pi/6$	$\pi/6$	$-\pi/2$	$5\pi/6$
Lỗi pha B	$\pi/6$	0	$\pi/2$	$\pi/6$	$-\pi/2$	$5\pi/6$
Lỗi pha C	$-\pi/6$	$-\pi/2$	0	$\pi/6$	$-\pi/2$	$5\pi/6$



Hình 5.3 Những vector điện áp tham chiếu trong (a) điều kiện bình thường (b) lỗi pha A, (c) lỗi pha B, (d) lỗi pha C.

Hoạt động chịu lỗi 3L-qSBT²I có thể được chia thành ba trường hợp: lỗi hở mạch S_{1x} hoặc S_{3x} , lỗi hở mạch S_{2x} ($x=a, b, c$) và lỗi hở mạch của T_1 hoặc T_2 . Hình 5.2 trình bày ba điều kiện lỗi của pha A. Hình 5.3 trình bày những vector điện áp tham chiếu của nghịch lưu hình T trong điều kiện hoạt động bình thường (\vec{V}_a, \vec{V}_b , và \vec{V}_c) và trong điều kiện hoạt động lỗi (\vec{V}'_a, \vec{V}'_b và \vec{V}'_c). Khi lỗi xảy ra tại S_{1x} hoặc S_{3x} những vector điện áp tham chiếu của nghịch lưu hình T phải được định nghĩa lại theo (\vec{V}'_a, \vec{V}'_b và \vec{V}'_c) như Hình 5.3 (b) đến 5.3 (d). Không mất tính tổng quát, giả sử lỗi hở mạch xảy ra tại S_{1a} hoặc S_{3a} , để duy trì điện áp dây ngõ ra tại giá trị trước lỗi, góc pha của những vector tham chiếu \vec{V}'_b và \vec{V}'_c phải được thay đổi, trong khi biên độ của những vector tham chiếu này không đổi. Điện áp tham chiếu của pha lỗi sẽ dịch chuyển về vị trí zero. Khi đó biên độ của những vector điện áp dây ($\vec{V}'_{ab}, \vec{V}'_{bc}$

và \vec{V}'_{ca}) trong điều kiện hoạt động lỗi bị giảm $\sqrt{3}$ lần so với điều kiện hoạt động bình thường với vector điện áp pha của chúng không đổi. Bảng 5.1 trình bày góc pha của những vector điện áp tham chiếu của nghịch lưu trong điều kiện trước và sau lỗi.

5.1.1.1. Điều khiển chịu lỗi khi S_{1x} hoặc S_{3x} bị lỗi

Khi lỗi xảy ra với S_{1a} hoặc S_{3a} như trình bày ở Hình 5.2 (a), điện áp ngõ ra pha A (V_{AO}) không thể tạo ra điện áp $+V_C$ hoặc $-V_C$ dẫn đến dòng tải mất đối xứng và méo dạng. Để duy trì điện áp ngõ ra liên tục, S_{2a} kích dẫn kết nối điểm trung tính mạng nguồn kháng với ngõ ra pha A, trong khi hai khóa công suất S_{1a} và S_{3a} được kích ngắt. Mặt khác, những vector điện áp tham chiếu \vec{V}_a , \vec{V}_b , và \vec{V}_c được định nghĩa như mô tả ở Hình 5.3 (b) đến 5.3 (d) để giữ cân bằng điện áp dây. Khi pha A hoạt động trong điều kiện lỗi S_{1a} hoặc S_{3a} những góc pha tham chiếu \vec{V}'_b và \vec{V}'_c được định nghĩa bởi $-5\pi/6$ và $+5\pi/6$. Tương tự, khi pha B hoạt động trong điều kiện lỗi S_{1b} hoặc S_{3b} những góc pha tham chiếu \vec{V}'_a và \vec{V}'_c được định nghĩa bởi $\pi/6$ và $\pi/2$. Tương tự, khi pha C hoạt động trong điều kiện lỗi S_{1c} hoặc S_{3c} những góc pha tham chiếu \vec{V}'_a và \vec{V}'_b được định nghĩa bởi $-\pi/6$ và $-\pi/2$. Như đã trình bày trong Bảng 5.1, những góc pha tham chiếu của điện áp dây trước và sau lỗi là không thay đổi khi áp dụng những tín hiệu điều chế mới [73].

5.1.1.2. Điều khiển chịu lỗi khi S_{2x} bị lỗi

Khi lỗi xảy ra với S_{2a} như trình bày ở Hình 5.2 (b), điện áp cực ngõ ra của pha A (V_{AO}) không thể kết nối với điểm trung tính của mạng nguồn kháng. Để giải quyết những vấn đề lỗi xảy ra với S_{2a} , những khóa công suất chịu lỗi 3L-qSBT²I S_{1a} và S_{3a} được kích đóng để hoạt động như mạch nghịch lưu hai bậc cho pha A, trong khi pha B và pha C vẫn hoạt động như mạch nghịch lưu 3 bậc như trình bày ở Hình 5.2 (b). Khi đó, những thông số điều khiển được duy trì như hoạt động trước lỗi. Tuy nhiên, THD của pha A hoạt động trong điện áp hai bậc cao hơn pha B và pha C.

5.1.1.3. Điều khiển chịu lỗi khi T_1 hoặc T_2 bị lỗi

Khi lỗi xảy ra với T_1 hoặc T_2 của mạng nguồn kháng, điện áp trên tụ điện C_1 và C_2 bị mất cân bằng. Khi đó, điện áp pha ngõ ra và dòng tải bị méo dạng cũng như biên độ của chúng bị giảm. Giả sử lỗi hở mạch xảy ra với khóa công suất T_1 , trạng thái ngắn mạch của nghịch lưu hình T và tín hiệu điều khiển của T_2 cần được sử

dụng để cân bằng điện áp ngõ ra. Hình 5.2 (c) và 5.2 (d) trình bày hai trạng thái không ngắt mạch khi tái cấu hình với lỗi hở mạch xảy ra với khóa công suất T_1 . Để duy trì điện áp ngõ ra như trước lỗi, hai khóa công suất S_{2x} và S_{3x} ($x=a, b, c$) được sử dụng để tạo điện áp ngõ ra hai bậc với một điện áp DC-link mới giữa điểm “O” và điểm “N” của mạng nguồn kháng, trong khi, khóa công suất S_{1x} được sử dụng để nạp cho tụ C_2 . Điện áp tụ C_2 được nạp và tăng áp lên bằng với điện áp DC-link bởi vì tụ C_1 không được kết nối trong trường hợp này. Tương tự, giả sử lỗi hở mạch xảy ra với khóa công suất T_2 , trạng thái ngắt mạch của nghịch lưu hình T và tín hiệu điều khiển của T_1 cần được sử dụng để cân bằng điện áp ngõ ra. Hình 5.2 (e) và 5.2 (f) trình bày hai trạng thái không ngắt mạch khi tái cấu hình với lỗi hở mạch xảy ra với khóa công suất T_2 . Để duy trì điện áp ngõ ra như trước lỗi, hai khóa công suất S_{1x} và S_{2x} ($x=a, b, c$) được sử dụng để tạo điện áp ngõ ra hai bậc với một điện áp DC-link mới giữa điểm “P” và điểm “O” của mạng nguồn kháng, trong khi, khóa công suất S_{3x} được sử dụng để nạp cho tụ C_1 . Điện áp tụ C_1 được nạp và tăng áp lên bằng với điện áp DC-link bởi vì tụ C_2 không được kết nối trong trường hợp này.

5.1.2. Phân tích mạch cho chịu lỗi 3L-qSBT²I.

Bảng 5.2: Những trạng thái chuyển mạch của chịu lỗi 3L-qSBT²I

Điều kiện lỗi pha A		
Những khóa công suất được kích đóng	Những diode được phân cực thuận	V_{BO} hoặc V_{CO}
T_1	D_2, D_3, D_4	$+V_C, 0$ hoặc $-V_C$
T_2	D_1, D_2, D_3	$+V_C, 0$ hoặc $-V_C$
T_1, T_2	D_2, D_3	$+V_C, 0$ hoặc $-V_C$
S_{1b}, S_{1c}	D_1, D_2, D_3, D_4	$+V_C$
S_{2b}, S_{2c}		0
S_{3b}, S_{3c}		$-V_C$
$S_{1b}, S_{1c}, S_{2b}, S_{2c}, S_{3b}, S_{3c}$	D_1, D_4	0
Điều kiện lỗi khóa công suất T_1 ($x = a, b, c$)		
S_{1x}, S_{2x}, T_2	D_1, D_3	0
S_{3x}, T_2		$-V_{C2}$
S_{1x}, S_{2x}	D_1, D_3, D_4	0
S_{3x}		$-V_{C2}$
S_{1x}, S_{2x}, S_{3x}	D_1, D_4	0
Điều kiện lỗi khóa công suất T_2 ($x = a, b, c$)		
S_{2x}, S_{3x}, T_1	D_2, D_4	0
S_{1x}, T_1		V_{C1}
S_{2x}, S_{3x}	D_1, D_2, D_4	0
S_{1x}		V_{C1}
S_{1x}, S_{2x}, S_{3x}	D_1, D_4	0

Nguyên lý hoạt động của chịu lỗi 3L-qSBT²I dựa vào bảng trạng thái kích đóng/ngắt trong Bảng 5.2. Tương tự nghịch lưu ba bậc nguồn Z truyền thống, chịu lỗi 3L- qSBT²I với lỗi pha A như trình bày ở Hình 5.2 (a) và 5.2 (b) có thể hoạt động trong hai trạng thái chính: trạng thái không ngắn mạch (NST) và trạng thái ngắn mạch (ST). Bảng 5.2 trình bày trạng thái hoạt động của chịu lỗi 3L-qSBT²I.

5.1.2.1 Trạng thái không ngắn mạch

Trong trạng thái không ngắn mạch này, cuộn lõi 3L-qSBT²I tạo ra ba bậc điện áp khác biệt: $+V_C$, 0 và $-V_C$ bằng cách kích đóng/ngắt các khóa công suất phía nghịch lưu hình T. Khi khóa công suất S_{1x} được kích đóng ($x=b$ hoặc c) dưới điều kiện lỗi pha A điện áp cực V_{XO} là $+V_C$. Nếu khóa công suất S_{2x} được kích đóng điểm trung tính nguồn được kết nối với tải, do đó V_{XO} là không (zero). Khi khóa công suất S_{3x} được kích đóng điện áp cực V_{XO} là $-V_C$. Trạng thái không ngắn mạch được chia thành bốn trạng thái: NST1, NST2, NST3 và NST4.

Trong trạng thái NST1, khóa công suất T_2 được kích ngắt, trong khi khóa công suất T_1 được kích đóng. Diode D_2 , D_3 , D_4 phân cực thuận, trong khi diode D_1 bị phân cực ngược. Tụ điện C_2 được nạp, trong khi đó cuộn dây tăng áp L_B và tụ C_1 không tích lũy năng lượng. Điện áp cuộn dây tăng áp được xác định như sau:

$$L_B \frac{di_L}{dt} = V_{dc} - V_{C_2}. \quad (5.1)$$

Trong trạng thái NST2, khóa công suất T_2 được kích đóng, trong khi khóa công suất T_1 được kích ngắt. Diode D_1 , D_2 , D_3 phân cực thuận, trong khi diode D_4 bị phân cực ngược. Tụ điện C_1 được nạp, trong khi đó cuộn dây tăng áp L_B và tụ C_2 không tích lũy năng lượng. Điện áp cuộn dây tăng áp được xác định như sau:

$$L_B \frac{di_L}{dt} = V_{dc} - V_{C_1}. \quad (5.2)$$

Trong trạng thái NST3, khóa công suất T_1 và T_2 được kích đóng. Diode D_2 và D_3 phân cực thuận, trong khi diode D_1 và D_4 bị phân cực ngược. Tụ điện C_1 và C_2 không được nạp, trong khi đó cuộn dây tăng áp L_B tích lũy năng lượng với khoảng thời gian nạp là $D_0 T$ với D_0 là tỉ số ngắn mạch. Điện áp cuộn dây tăng áp được xác định như sau:

$$L_B \frac{di_L}{dt} = V_{dc}. \quad (5.3)$$

Trong trạng thái NST4, khóa công suất T_1 và T_2 bị kích ngắt. Diode D_1 , D_2 , D_3 và D_4 phân cực thuận. Tụ điện C_1 và C_2 được nạp năng lượng từ nguồn V_{dc} , trong khi đó phía nghịch lưu nhận được năng lượng từ cuộn dây tăng áp L_B . Điện áp cuộn dây tăng áp được xác định như sau:

$$L_B \frac{di_L}{dt} = V_{dc} - V_{c1} - V_{c2}. \quad (5.4)$$

5.1.2.2 Trạng thái ngắn mạch

Trong trạng thái ST này, những khóa công suất S_{1b} , S_{1c} , S_{2b} , S_{2c} , S_{3b} , và S_{3c} của phía hình T được kích đóng đồng thời, trong khi, hai khóa công suất T_1 và T_2 bị kích ngắt. Diode D_2 và D_3 bị phân cực ngược, trong khi diode D_1 và D_4 được phân cực thuận. Tụ điện C_1 và C_2 bị cách ly khỏi mạch công suất, trong khi cuộn dây tăng áp L_B tích lũy năng lượng với khoảng thời gian nạp là D_0T . Điện áp cuộn dây tăng áp được xác định như sau:

$$L_B \frac{di_L}{dt} = V_{dc}. \quad (5.5)$$

5.1.3. Phương pháp điều khiển PWM cho chụm lõi 3L-qSBT²I.

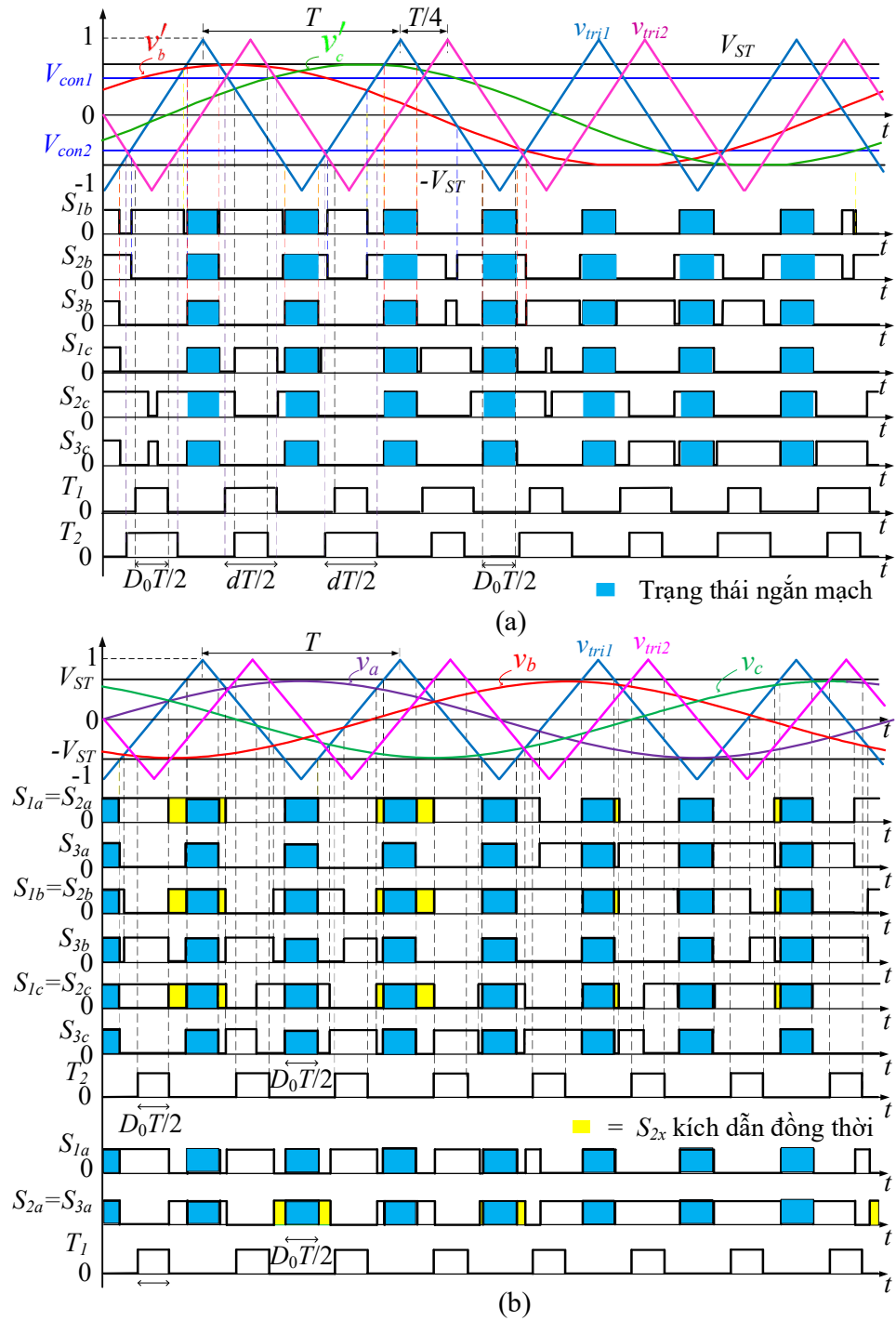
Hình 5.4 (a) trình bày phương pháp điều khiển PWM cho chụm lõi 3L-qSBT²I khi lỗi xảy ra tại khóa S_{1a} hoặc S_{3a} . Ở Hình 5.4 (a), V_{ST} , V_{con1} , và V_{con2} đại diện cho những tín hiệu điều khiển ngắn mạch của khóa công suất T_1 và T_2 . Để điều khiển điện áp ba pha tải sau khi lỗi hở mạch xảy ra, điện áp tham chiếu của nghịch lưu được định nghĩa lại như đã trình bày ở Hình 5.3 (b), điện áp tham chiếu được định nghĩa như sau:

$$\begin{cases} v'_a = 0 \\ v'_b = M \sin\left(2\pi f_o t - \frac{5\pi}{6}\right) \\ v'_c = M \sin\left(2\pi f_o t + \frac{5\pi}{6}\right), \end{cases} \quad (5.6)$$

Với M và f_0 là chỉ số điều chế và tần số ngõ ra

Hình 5.4 (a), những tín hiệu điều khiển của S_{1b} , S_{2b} và S_{3b} được tạo ra bằng cách so sánh những điện áp tham chiếu $\pm V'_b$ với sóng mang tần số cao v_{tri1} , trong khi, những tín hiệu điều khiển của S_{1c} , S_{2c} và S_{3c} được tạo ra bằng cách so sánh những điện áp tham chiếu $\pm V'_c$ với sóng mang tần số cao v_{tri1} . Lưu ý, khi xảy ra lỗi với pha A, khóa công suất S_{2a} luôn kích đóng, trong khi, hai khóa công suất S_{1a} và S_{3a} luôn bị kích ngắt. Tín hiệu ngắn mạch của phía hình T được tạo ra bằng cách so sánh hai hằng số điện áp V_{ST} và $-V_{ST}$ với sóng mang tần số cao v_{tri1} . Những hằng số điện áp

V_{con1} và V_{con2} được so sánh với sóng mang tần số cao khác v_{tri2} để tạo ra tín hiệu điều khiển cho hai khóa công suất T_1 và T_2 . Lưu ý rằng, hằng số điện áp V_{con1} và V_{con2} được giới hạn trong khoảng $[1-\hat{V}_{ST}, \hat{V}_{ST}]$ và $[-\hat{V}_{ST}, \hat{V}_{ST}-1]$.



Hình 5.4 Phương pháp điều khiển PWM cho chụm lõi 3L-qSBT²I dưới những điều kiện (a) lỗi hở mạch của S_{1a} hoặc S_{3a} (b) lỗi hở mạch của T_1 hoặc T_2 .

Hình 5.4 (b) trình bày phương pháp điều khiển PWM cho chụm lõi 3L-qSBT²I khi lõi xảy ra với T_1 và T_2 của mạng nguồn kháng. Những điện áp tham chiếu của nghịch lưu được so sánh với sóng mang tần số cao v_{tri1} để tạo ra những tín hiệu điều khiển S_{1x} , S_{2x} và S_{3x} . Tín hiệu điều khiển ngắn mạch của phía nghịch lưu được tạo ra bằng cách so sánh hai hằng số điện áp V_{ST} và $-V_{ST}$ với sóng mang tần số cao v_{tri1} . Tín hiệu điều khiển của khóa công suất T_2 được tạo ra bằng cách so sánh hai hằng số điện áp V_{ST} và $-V_{ST}$ với sóng mang tần số cao khác v_{tri2} .

Giống như phương pháp điều khiển PWM của [49], phương pháp điều khiển PWM đề xuất cho chụm lõi 3L-qSBT²I có những ưu điểm giảm độ gợn dòng điện của cuộn dây tăng áp bởi vì cuộn dây có bốn chu kỳ tích lũy năng lượng trong một chu kỳ đóng/ngắt.

5.1.4. Phân tích trạng thái xác lập cho chụm lõi 3L-qSBT²I.

Ở Hình 5.4 (a), $(d - D_0) \cdot T$ là khoảng thời gian của trạng thái không ngắn mạch NST1 và NST2, với d là thời gian đóng/ngắt của hai khóa công suất T_1 và T_2 của mạng nguồn kháng và được điều khiển bởi hằng số điện áp V_{con1} và V_{con2} . Khoảng thời gian của trạng thái ngắn mạch và trạng thái không ngắn mạch NST3 là $D_0 \cdot T$. Khoảng thời gian của trạng thái không ngắn mạch NST4 là $(1 - 2D_0 - d) \cdot T$. Giả sử rằng, tụ điện C_1 và C_2 có giá trị đủ lớn để điện áp các tụ có giá trị là hằng số và bộ điều khiển [49] được áp dụng cho chụm lõi 3L-qSBT²I. Khi đó, $V_{C1} = V_{C2} = V_C$.

Áp dụng định lý cân bằng điện áp trên cuộn dây L_B , điện áp trên tụ điện V_{C1} và V_{C2} được xác định:

$$V_C = V_{C1} = V_{C2} = \frac{V_{dc}}{2 - 3D_0 - d} \quad (5.7)$$

Điện áp đỉnh ngõ ra trong trường hợp xảy ra lỗi hở mạch được xác định:

$$\hat{v}_x = \frac{M \cdot V_{PN}}{2\sqrt{3}} = \frac{M \cdot V_C}{\sqrt{3}} = \frac{M / \sqrt{3}}{2 - 3D_0 - d} V_{dc}. \quad (5.8)$$

Hệ số tăng áp B của chụm lõi 3L qSBT²I được xác định:

$$B = \frac{V_{PN}}{V_{dc}} = \frac{2V_C}{V_{dc}} = \frac{2}{2 - 3D_0 - d}. \quad (5.9)$$

5.1.5. Phân tích trạng thái xác lập cho chịu lỗi 3L-qSBT²I khi khóa công suất T_1 hoặc T_2 của mạng nguồn kháng bị lỗi.

Khi lỗi hở mạch của T_1 xảy ra, chịu lỗi 3L-qSBT²I có thêm hai trạng thái không ngắn mạch như đã trình bày ở Hình 5.2 (c) và 5.2 (d) cùng với trạng thái ngắn mạch. Để duy trì điện áp ngõ ra, điểm P trong mạng nguồn kháng nên được kết nối trực tiếp với điểm “ O ”. Khi đó, nghịch lưu sẽ hoạt động với một điện áp $DC-link$ mới giữa điểm “ O ” và điểm “ N ” tạo ra hai bậc điện áp tại ngõ ra. Khi khóa công suất S_{1a} và S_{2a} được kích đóng để kết nối điểm P với điểm “ O ”, điện áp ngõ ra pha A là Zero. Nếu khóa công suất S_{1x} hoặc S_{2x} ($x = b$ hoặc c) được kích đóng, điện áp ngõ ra của pha B hoặc pha C là zero. Nếu khóa công suất S_{3b} và S_{3c} được kích đóng điện áp ngõ ra của pha B hoặc pha C là $-V_C$. Trong trạng thái NST5 như đã trình bày ở Hình 5.2 (c), khóa công suất T_2 được kích đóng trong suốt khoảng thời gian $D_0 \cdot T$ cuộn dây tăng áp L_B tích lũy năng lượng và điện áp của cuộn dây được xác định như phương trình (5.3). Tương tự, Khi lỗi hở mạch của T_2 xảy ra, chịu lỗi 3L-qSBT²I có thêm hai trạng thái không ngắn mạch như đã trình bày ở Hình 5.2 (e) và 5.2 (f) cùng với trạng thái ngắn mạch. Để duy trì điện áp ngõ ra, điểm N trong mạng nguồn kháng nên được kết nối trực tiếp với điểm “ O ”. Khi đó, nghịch lưu sẽ hoạt động với một điện áp $DC-link$ mới giữa điểm “ P ” và điểm “ O ” tạo ra hai bậc điện áp tại ngõ ra. Khi khóa công suất S_{2a} và S_{3a} được kích đóng để kết nối điểm N với điểm “ O ”, điện áp ngõ ra pha A là Zero. Nếu khóa công suất S_{2x} hoặc S_{3x} ($x = b$ hoặc c) được kích đóng, điện áp ngõ ra của pha B hoặc pha C là zero. Nếu khóa công suất S_{1b} và S_{1c} được kích đóng điện áp ngõ ra của pha B hoặc pha C là V_C . Trong trạng thái NST5 như đã trình bày ở Hình 5.2 (e), khóa công suất T_1 được kích đóng trong suốt khoảng thời gian $D_0 \cdot T$ cuộn dây tăng áp L_B tích lũy năng lượng và điện áp của cuộn dây được xác định như phương trình (5.3).

Trong trạng thái NST6 như đã trình bày ở Hình 5.2 (d), khóa công suất T_2 được kích ngắt. Cuộn dây tăng áp L_B giải phóng năng lượng và điện áp trong cuộn dây được xác định như phương trình (5.1). Khoảng thời gian trong trạng thái này là $(1 - 2D_0) \cdot T$. Tương tự, Trong trạng thái NST6 như đã trình bày ở Hình 5.2 (f), khóa công suất T_1 được kích ngắt. Cuộn dây tăng áp L_B giải phóng năng lượng và điện áp trong

cuộn dây được xác định như phương trình (5.1). Khoảng thời gian trong trạng thái này là $(1 - 2D_0) \cdot T$.

Trong trạng thái ngắn mạch, tất cả các khóa bên phía hình T được kích đóng đồng thời, trong khi khóa công suất T_2 hoặc T_1 bị kích ngắt trong suốt khoảng thời gian $D_0 \cdot T$ cuộn dây tăng áp L_B tích lũy năng lượng và điện áp của cuộn dây được xác định như phương trình (5.5). Áp dụng định lý cân bằng điện áp trên cuộn dây L_B , điện áp trên tụ C_2 trong trạng thái xác lập được trình bày như phương trình (5.10):

$$V_{C_2} = \frac{V_{dc}}{1 - 2D_0} \quad (5.10)$$

Điện áp đỉnh ngõ ra được xác định:

$$\hat{v}_x = \frac{M \cdot V_{C_2}}{2} = \frac{M}{2 \cdot (1 - 2D_0)} V_{dc} \quad (5.11)$$

5.1.6. Phương pháp điều khiển cho chịu lỗi 3L-qSBT²I.

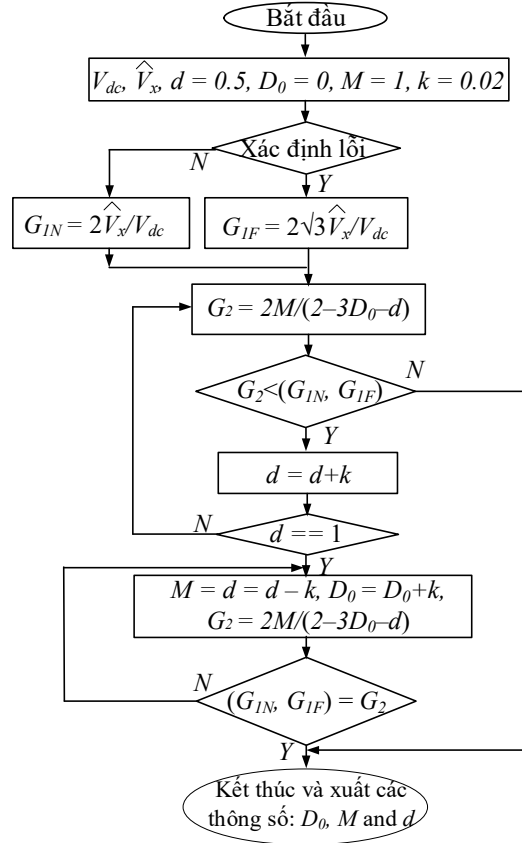
5.1.6.1. Kỹ thuật điều khiển chịu lỗi 3L qSBT²I.

Khi lỗi hở mạch xảy ra với khóa công suất S_{1a} hoặc S_{3a} , điện áp pha ngõ ra bị giảm đi $\sqrt{3}$ lần so với điều kiện hoạt động bình thường. Trong trường hợp này, biên độ điện áp ngõ ra của chịu lỗi 3L qSBT²I phải được bù bằng cách hoặc gia tăng chỉ số ngắn mạch hoặc thay đổi chỉ số điều chế. Tuy nhiên, sự thay đổi chỉ số điều chế và gia tăng chỉ số ngắn mạch nên bằng với điện áp ngõ ra bị giảm đi $\sqrt{3}$ lần. Các thông số điều khiển của chịu lỗi 3L-qSBT²I khi gia tăng biên độ điện áp ngõ ra có thể áp dụng phương trình (5.8). Để bù biên độ bị giảm của pha lỗi ba hệ số điều khiển là M , D_0 và d được yêu cầu.

Hình 5.5 trình bày lưu đồ của phương pháp điều khiển đề xuất cho chịu lỗi 3L-qSBT²I. Lưu đồ 5.5 là một phương pháp xác định các thông số điều khiển tối ưu một cách tổng quát. Các thông số điều khiển được lựa chọn theo điện áp ngõ vào V_{dc} và điện áp đỉnh ngõ ra \hat{v}_x mà dãy điện áp ngõ vào cho trường hợp tăng áp lớn nhất và trường hợp tăng áp nhỏ nhất từ 60 V đến 622 V và điện áp ngõ ra có thể 110 V hiệu dụng hoặc 220 V hiệu dụng tùy theo mục đích và nhu cầu sử dụng.

Lưu đồ có thể giải thích như sau. Điện áp ngõ vào và ngõ ra được nhập vào để tính toán độ lợi điện áp mong muốn của bộ nghịch lưu trong trạng thái trước và sau lỗi bởi phương trình (5.12):

$$\left[\begin{array}{l} G_{IN} = \frac{2\hat{V}_x}{V_{dc}} \quad \text{Điều kiện thông thường} \\ G_{IF} = \frac{2\sqrt{3}\hat{V}_x}{V_{dc}} \quad \text{Điều kiện lỗi} \end{array} \right. \quad (5.12)$$



Hình 5.5 Lưu đồ của phương pháp điều khiển đề xuất trước và sau lỗi.

Phương pháp điều khiển đề xuất được thiết kế ưu tiên chỉ số điều chế cao nhất có thể. Do đó giá trị đầu tiên của chỉ số điều chế và chỉ số ngắn mạch được khởi tạo $M=1$ và $D_0=0$. Để tăng điện áp, chỉ số ngắn mạch của hai khóa công suất trong mạng nguồn kháng được khởi tạo $d=0.5$ và dựa vào độ lợi điện áp nhỏ nhất được yêu cầu trong chịu lỗi TL-qSBT²I. Sau đó, độ lợi điện áp tính toán, G_2 được xác định theo phương trình (5.13):

$$G_2 = \frac{2M}{2-3D_0-d} \quad (5.13)$$

Bước kế tiếp, giá trị độ lợi điện áp mong muốn G_{IN} trong điều kiện bình thường hoặc giá trị độ lợi điện áp mong muốn G_{IF} trong điều kiện lỗi được so sánh với độ lợi điện áp tính toán G_2 . Nếu G_2 cao hơn độ lợi điện áp mong muốn G_{IN} hoặc G_{IF}

lưu đồ sẽ kết thúc và thu thập những thông số điều khiển của D_0 , M , và d như đã nhập ban đầu. Nếu G_2 thấp hơn độ lợi điện áp mong muốn G_{IN} hoặc G_{IF} , chỉ số ngắn mạch d của hai khóa công suất mạng nguồn kháng sẽ gia tăng với hệ số bước k cho đến khi $d=1$. Với k là số bước. Lưu ý, khi k được chọn quá nhỏ, giá trị tính toán của chỉ số ngắn mạch D_0 và chỉ số điều chế M đạt được tốt hơn. Tuy nhiên thời gian tính toán lâu hơn. Do đó, qua phương pháp thử sai bước k được chọn là 0.02. Khi $d=1$ và độ lợi điện áp tính toán G_2 vẫn thấp hơn độ lợi điện áp mong muốn G_{IN} hoặc G_{IF} , chỉ số ngắn mạch D_0 được gia tăng theo bước k , trong khi M và d là giảm theo bước k . Giá trị của độ lợi điện áp tính toán G_2 có thể được tính toán lại theo phương trình (5.13). Sự so sánh sẽ được lập lại cho đến khi độ lợi điện áp tính toán G_2 lớn bằng độ lợi điện áp mong muốn G_{IN} hoặc G_{IF} và lưu đồ sẽ kết thúc và thu thập những thông số điều khiển tối ưu của D_0 , M , và d .

5.1.6.2. So sánh kỹ thuật điều khiển chịu lỗi 3L-qSBT²I đề xuất với các phương pháp PWM truyền thống.

Trong phần này, kỹ thuật PWM đề xuất cho chịu lỗi 3L qSBT²I được so sánh với phương pháp PWM của chịu lỗi với mạng nguồn kháng trong [83], [84]. Như đã so sánh trong [49], nghịch lưu ba bậc tăng áp hình T tựa khóa chuyển mạch (3L-qSBT²I) sử dụng ít những phần tử thụ động và nhiều hơn hai khóa tích cực hơn so với 3L-qZST²I trong [83]. Tuy nhiên, độ gợn dòng điện ngõ vào của cuộn dây tăng áp của 3L-qSBT²I dưới phương pháp điều khiển PWM đề xuất được giảm như so sánh với phương pháp điều khiển PWM trong [83] và [84]. Do đó, kích thước và trọng lượng của chịu lỗi 3L-qSBT²I là thấp hơn những phương pháp chịu lỗi khác 3L-qZST²I trong [83].

Trong phương pháp điều khiển PWM cho chịu lỗi trong nghịch lưu mạng nguồn kháng [83], [84], độ lợi điện áp được điều khiển bởi chỉ số điều chế M và tỉ số ngắn mạch D_0 . Tuy nhiên, chỉ số điều chế M được giới hạn bởi $(1-D_0)$. Khi những nghịch lưu nguồn kháng [83], [84] hoạt động trong điều kiện lỗi. Như kết quả, M thấp và D_0 cao phải được sử dụng để duy trì điện áp ngõ ra như giá trị trước lỗi. Bởi vì sử dụng M thấp và D_0 cao, chất lượng điện năng ngõ ra của nghịch lưu là thấp và công suất tổn hao của nghịch lưu gia tăng do dòng điện ngắn mạch cao. Hơn nữa, điện áp đặt trên các công suất bán dẫn là gia tăng bởi vì điện áp *DC-link* cao cũng như M

thấp. Độ lợi điện áp của chịu lỗi ba bậc nghịch lưu nguồn kháng với phương pháp điều chế trong [83], [84] được xác định như sau:

$$G = \frac{\hat{v}_x}{V_{dc}/2} = \frac{M}{1-2D_0}. \quad (5.14)$$

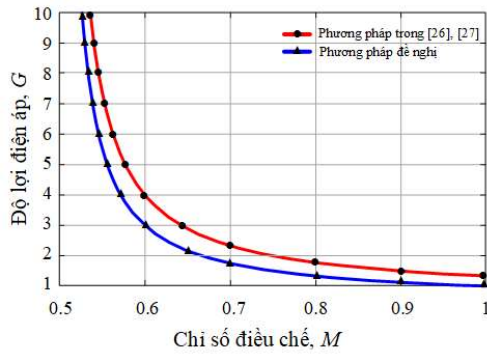
Với phương pháp điều chế đề xuất, tỉ số ngắn mạch D_0 thấp được ưu tiên sao cho lựa chọn M là cao nhất có thể. Do đó, giá trị đầu tiên của M và D_0 được khởi tạo để $M=1$ và $D_0=0$. Để tăng điện áp, tỉ số ngắn mạch của hai khóa trong mạng nguồn kháng, d được khởi tạo bằng 0.5. Khi đó, phương pháp điều khiển trong lưu đồ Hình 5.5 sẽ làm việc. Như kết quả, giá trị tối ưu của các thông số điều khiển M , D_0 và d là đạt được. Độ lợi điện áp của chịu lỗi 3L-qSBT²I với phương pháp điều chế đề xuất được trình bày bởi phương trình (5.15) như sau:

$$G = \frac{\hat{v}_x}{V_{dc}/2} = \frac{2M}{2-3D_0-d}. \quad (5.15)$$

Giá trị của d được khởi tạo nhỏ nhất là 0.5 trong phương pháp đề xuất cho chịu lỗi 3L-qSBT²I. Thay thế $d=0.5$ và $D_0=1-M$ vào phương trình (5.14) và (5.15), độ lợi điện áp của chịu lỗi nghịch lưu ba bậc được viết lại như:

$$\begin{cases} G = \frac{M}{2M-1} & \text{Trong [83], [84]} \\ G = \frac{2M}{3M-1.5} & \text{Phương pháp đề xuất} \end{cases} \quad (5.16)$$

Hình 5.6 trình bày sự so sánh độ lợi điện áp cho phương pháp điều khiển trong [83], [84] và phương pháp điều khiển đề xuất cho chịu lỗi 3L-qSBT²I. Như đã trình bày ở Hình 5.6, phương pháp điều khiển đề xuất sử dụng chỉ số điều chế cao để tạo độ lợi điện áp giống như phương pháp điều khiển trong [83], [84]. Như kết quả, việc sử dụng chỉ số cao, phương pháp điều khiển đề xuất cho chịu lỗi 3L-qSBT²I có điện áp *DC-link* thấp hơn. Khi phương pháp điều khiển đề xuất được áp dụng chịu lỗi 3L-qSBT²I bằng cách lựa chọn các thông số điều khiển M , D_0 và d thích hợp, độ lợi điện áp của chịu lỗi 3L-qSBT²I sẽ cao hơn đường màu đỏ (hoặc đường số 2) ở Hình 5.6.



Hình 5.6 Sự so sánh độ lợi điện áp giữa phương pháp [83], [84] và phương pháp đề xuất cho chụm lõi 3L-qSBT²I.

Khi lỗi hở mạch xảy ra, điện áp tăng áp cao được yêu cầu để duy trì điện áp ngõ ra như trước lỗi. Hậu quả là, điện áp trên tụ điện và điện áp *DC-link* bị gia tăng để bù cho điện áp pha lỗi. Vấn đề này cũng được tìm thấy trong những nghịch lưu ba bậc nguồn kháng trong [83], [84]. Tuy nhiên, điện áp đặt trên các khóa công suất và các tụ của chụm lõi 3L-qSBT²I với phương pháp điều khiển đề xuất nhỏ hơn những phương pháp điều khiển được mô tả trong [83], [84] do sử dụng chỉ số điều chế cao như đã trình bày ở Hình 5.6.

Khi so sánh với chụm lõi nghịch lưu hình T thông thường, chụm lõi 3L-qSBT²I với phương pháp PWM đề xuất có những ưu điểm. Không giống chụm lõi nghịch lưu hình T thông thường, chụm lõi 3L-qSBT²I chịu được lỗi ngắn mạch bởi vì chụm lõi 3L-qSBT²I sử dụng mạng nguồn kháng. Như kết quả, những bán dẫn công suất của chụm lõi 3L-qSBT²I là an toàn trong một thời gian nhất định đủ để tắt máy hệ thống khi xảy ra ngắn mạch trên thanh cái. Do đó, các bộ dead-time là không cần thiết cho việc điều khiển khóa công suất nửa trên và khóa công suất nửa dưới của mỗi nhánh nghịch lưu. Kết quả là, chất lượng điện áp ngõ ra của chụm lõi 3L-qSBT²I được cải thiện. Hơn nữa, chụm lõi 3L-qSBT²I có khả năng tăng-giảm điện áp mà điều này có thể hiệu quả trong việc bù sự giảm áp cho pha lỗi và duy trì điện áp ngõ ra là hằng số như trước lỗi.

5.2. Hiệu suất của chũu lĩi 3L-qSBT²I

Bảng 5.3: Nhũng thĩng số cĩc phĩn tử cĩng suất đũc sử dụng trong cĩu hĩnh chũu lĩi 3L-qSBT²I

	Chũu lĩi 3L-qSBT ² I
Diode DSEI60-12A	1200 V, 52 A
IGBT FGL40N150D	1500 V, 40 A
Đĩen trở kũ sinh của cũn dũy	0.12 Ω, 3mH, 20A
Tũ đĩen C ₁ -C ₂	450VDC, 2200 μF
Đĩen ỏp ngũ ra	110 V _{RMS}
Cĩng suất ngũ ra	900 W

Do đĩu kĩen phĩng thĩ nghiĩm cũng nhũ cơ sũ vậ chấ cũn hỏn chũ. Vĩ thế vĩe đũ hiệu suất của chũu lĩi 3L-qSBT²I khĩng thực hĩen trĩn mĩ hĩnh thực nghiĩm mà chỉ thực hĩen trĩn phĩn mĩm mĩ phĩng PSIM. Thĩng số của cĩc phĩn tử cĩng suất đũc sử dụng nhũ ở bĩng 5.3

Trong trỏng thỏi xỏc lỏp, hiệu suất của chũu lĩi 3L-qSBT²I đũc xỏc đĩnh:

$$\eta = \frac{P_{dc} - \sum P_C - \sum P_S - P_L - \sum P_{D_C} - \sum P_{D_S}}{P_{dc}} 100\%. \quad (5.17)$$

Trong đũ: P_{dc} là cĩng suất ngũ vỏo, $\sum P_{D_C}$ là tĩng tĩn hỏo dũn trĩn diode $D_1 - D_4$, $\sum P_{D_S}$ là tĩng tĩn hỏo chũyĩn mỏch trĩn diode $D_1 - D_4$ vỏ P_L là tĩn hỏo cĩng suất bởi R_L . Ngũn cĩng suất dc đũc xỏc đĩnh bởi:

$$P_{dc} = U_{dc} \cdot I_{LAVG} \quad (5.18)$$

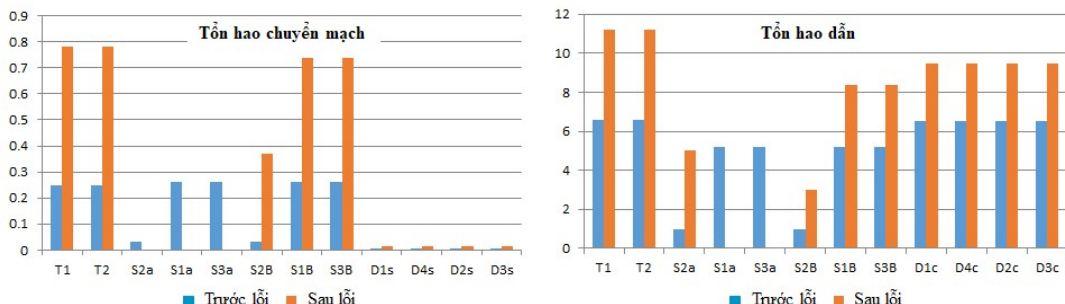
$\sum P_C$ vỏ $\sum P_S$ là tĩng tĩn hỏo dũn vỏ tĩn hỏo chũyĩn mỏch của cĩc IGBT.

Trong đĩu kĩen hoỏt đĩng trũc lĩi, tĩn hỏo dũn vỏ tĩn hỏo chũyĩn mỏch của IGBT đũc thực hĩen cho phỏ A. Trong đĩu kĩen hoỏt đĩng sỏu lĩi, bởi vĩ khỏa S_{2a} đũc kĩch dũn. Trong khi đũ, cĩc khỏa S_{1a} vỏ khỏa S_{3a} bị kĩch ngắ. Do đũ, tĩng tĩn hỏo dũn vỏ tĩn hỏo chũyĩn mỏch của cĩc IGBT chỉ đũc tĩn toỏn cho khỏa S_{2a} .

Bĩng 5.4 đũ chỉ rỏ rỏng, trong đĩu kĩen hoỏt đĩng trũc lĩi tĩng tĩn hỏo là 75.5 W vỏ trong đĩu kĩen hoỏt đĩng sỏu lĩi tĩng tĩn hỏo là 110.32 W. Do đũ, hiệu suất của chũu lĩi 3L-qSBT²I ở đĩu kĩen hoỏt đĩng sỏu lĩi giảm 3.0%.

Bảng 5.4: Thống kê tổn hao dẫn, tổn hao chuyển mạch và hiệu suất được sử dụng trong cấu hình chịu lỗi 3L-qSBT²I

	V_{dc}	R (Ω)	L (mH)	P_{dc} (W)	ΣP_c (W)	ΣP_s (W)	ΣP_{Dc}	ΣP_{Ds}	ΣP (W)	η
Trước lỗi	165	40	3	1153	47.31	2.16	26	0.03	75.5	93.452
Sau lỗi	165	40	3	1153	67	5.26	38	0.06	110.32	90.432



Hình 5.7 Biểu đồ tổn hao chuyển mạch và tổn hao dẫn cho cấu hình chịu lỗi 3L-qSBT²I. Hình 5.7 trình bày kết quả mô phỏng tổn hao dẫn và tổn hao chuyển mạch của cấu hình chịu lỗi 3L-qSBT²I. Kết quả chỉ ra rằng, khi hoạt động trong điều kiện lỗi hiệu suất của hệ thống giảm 3% so với khi hoạt động ở điều kiện trước lỗi.

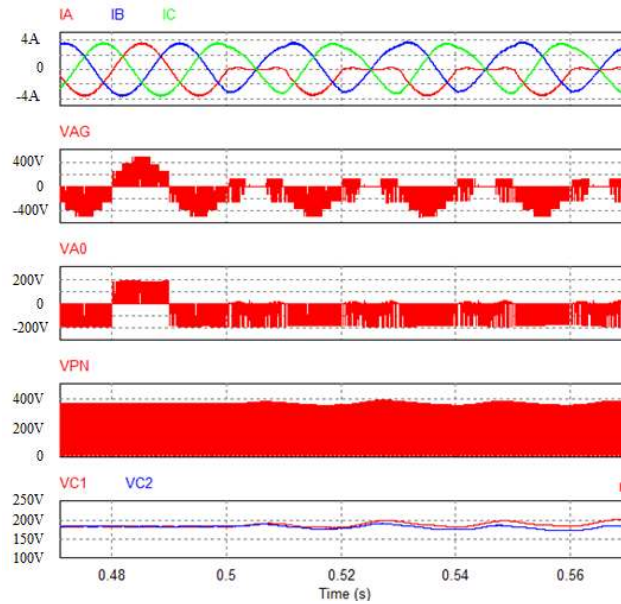
5.3. Kết quả mô phỏng và thực nghiệm

5.3.1. Kết quả mô phỏng

Bảng 5.5: Những thông số được sử dụng trong mô phỏng và thực nghiệm.

Tham số/thành phần		Giá trị
Đánh giá công suất	P_o	1 kW
Điện áp ngõ vào	V_g	165 V
Điện áp ngõ ra mong muốn	V_{XG}	110 Vrms
Tần số ngõ ra	f_o	50 Hz
Tần số sóng mang	f_s	5 kHz
Cuộn dây tăng áp	L_B	3 mH/ 20 A, 0.12 Ω
Tụ điện	$C_1 = C_2$	2200 μ F, 44 m Ω
Bộ lọc 3 pha LC	L_f và C_f	3 mH and 10 μ F
Tải trở ba pha	R_{load}	40 Ω
Diodes DSEI60-12A	$D_1 - D_4$	1200 V, 52 A
IGBTs FGL40N150D	$S_{1x} - S_{3x}$ T_1, T_2	1500 V, 40 A

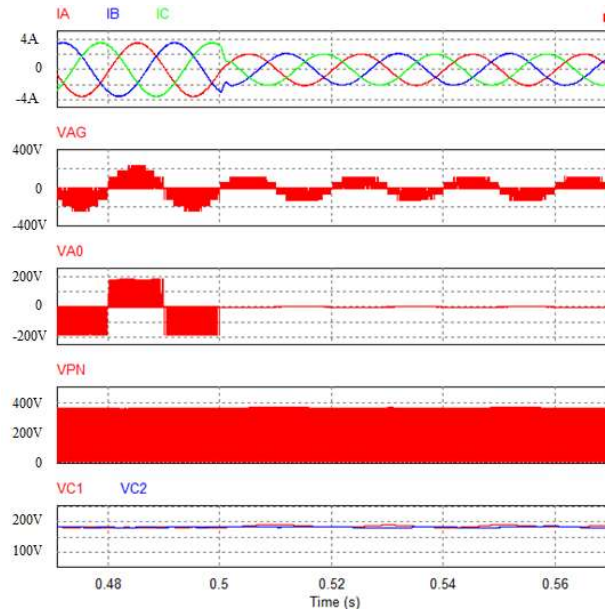
Để kiểm chứng hiệu suất của chịu lỗi 3L-qSBT²I, phần mềm PSIM được sử dụng để mô phỏng. Những thông số của mạch được trình bày trong Bảng 5.5. Để tạo ra điện áp 110 V hiệu dụng từ điện áp ngõ vào tối đa 165 V. Như Hình 5.5 Lưu đồ của phương pháp điều khiển đề xuất trước và sau lỗi khi điện áp ngõ vào 165V và điện áp ngõ ra 110 V hiệu dụng. Các thông số điều khiển được xác định bởi lưu đồ là: $M=0.87$, $D_0=0.13$ và $d=0.7$ khi hoạt động trong điều kiện bình thường và $M=0.713$, $D_0=0.287$ và $d=0.7$ khi hoạt động trong điều kiện chịu lỗi.



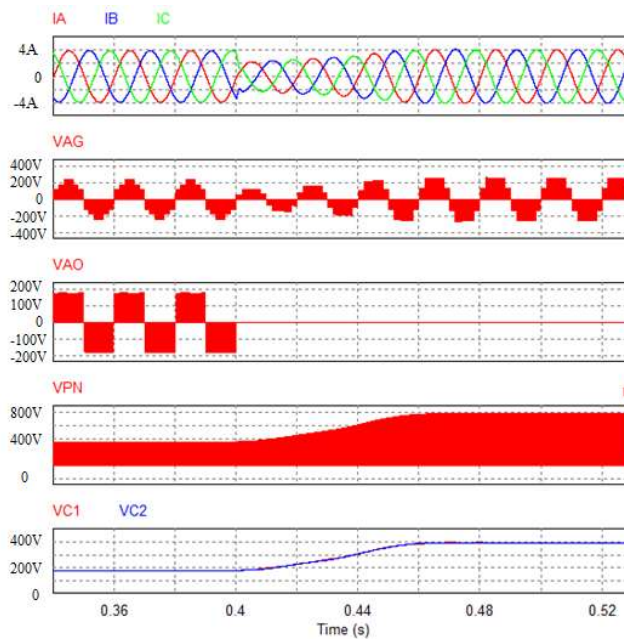
Hình 5.8. Kết quả mô phỏng của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{1a}

Hình 5.8 đến Hình 5.10 trình bày kết quả mô phỏng của chịu lỗi 3L-qSBT²I trước và sau lỗi S_{1a} khi điện áp ngõ vào là 165 V. Trong trường hợp nghịch lưu hoạt động bình thường, điện áp của hai tụ C_1 và C_2 được tăng áp lên 181 V và điện áp DC-link mô phỏng được 362 V. Khi khóa S_{1a} xảy ra lỗi, điện áp của hai tụ C_1 và C_2 là không cân bằng và được tăng áp lên 175 V và 195 V như đã trình bày ở Hình 5.8. Khi đó, dòng tải bị mất đối xứng và bị méo dạng bởi vì sự mất cân bằng của điện áp hai tụ C_1 và C_2 . Hình 5.9 với tái cấu hình mạch (Reconfigured), điện áp trên hai tụ C_1 và C_2 và điện áp DC-link trước và sau lỗi được giữ không đổi. Tuy nhiên, điện áp pha A bị giảm $\sqrt{3}$ lần. Để bù cho sự giảm điện áp ngõ ra pha A, phương pháp đề xuất được áp dụng cho chịu lỗi 3L-qSBT²I. Như kết quả, điện áp của hai tụ C_1 và C_2 được tăng áp lên 381 V sau khi lỗi S_{1a} như đã trình bày ở Hình 5.10. Điện áp DC-

link trước và sau điều kiện lỗi là 381 V và 762 V. Dòng điện ngõ ra được cân bằng và được khôi phục. Trong điều kiện bình thường, điện áp cực (V_{A0}) có ba cực là 181 V, 0 V và -181 V.

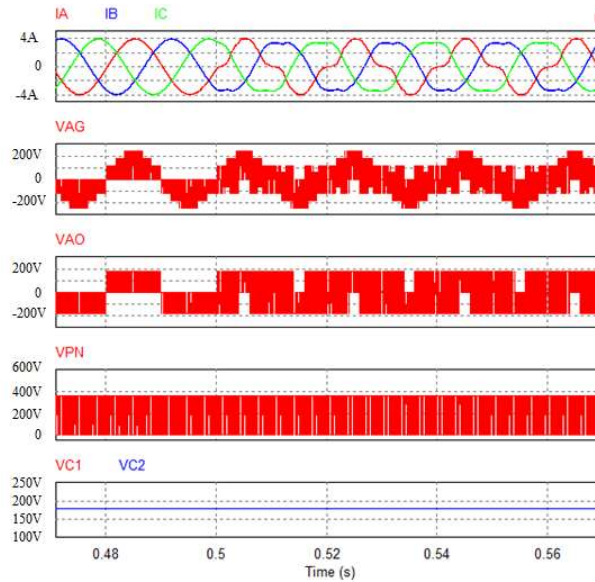


Hình 5.9. Kết quả mô phỏng của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} khi tái cấu hình và chưa bù bởi những thông số điều khiển.

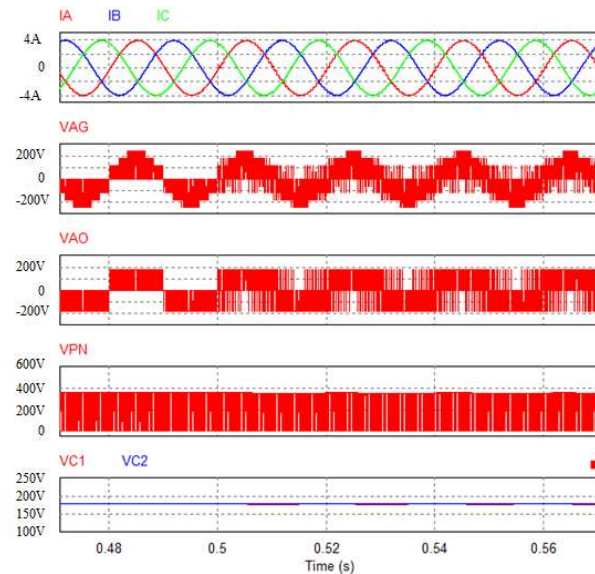


Hình 5.10. Kết quả mô phỏng của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} khi tái cấu hình và bù bởi những thông số điều khiển.

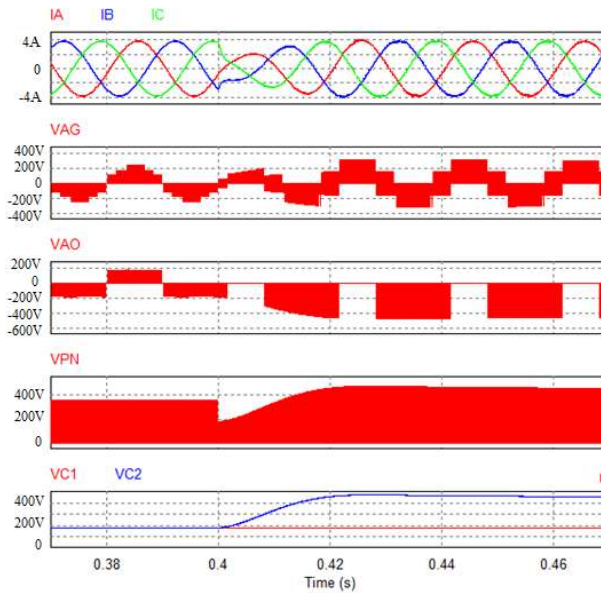
Hình 5.11 trình bày kết quả mô phỏng của chịu lỗi 3L-qSBT²I trước và sau lỗi hở mạch S_{2a} . Trong trường hợp này, điện áp của pha A có hai bậc. Kết quả, dòng điện ngõ ra bị méo dạng khi không thay đổi điều chế nhưng hệ thống vẫn có thể hoạt động bình thường như đã trình bày ở Hình 5.11. Hình 5.12 trình bày kết quả của hệ thống khi phương pháp điều chế đề xuất được áp dụng sau khi lỗi. Kết quả, sự méo dạng dòng điện đã được xử lý hoàn toàn.



Hình 5.11. Kết quả mô phỏng của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{2a} khi không thay đổi phương pháp điều chế.



Hình 5.12. Kết quả mô phỏng của chịu lỗi 3L qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{2a} khi thay đổi phương pháp điều chế.

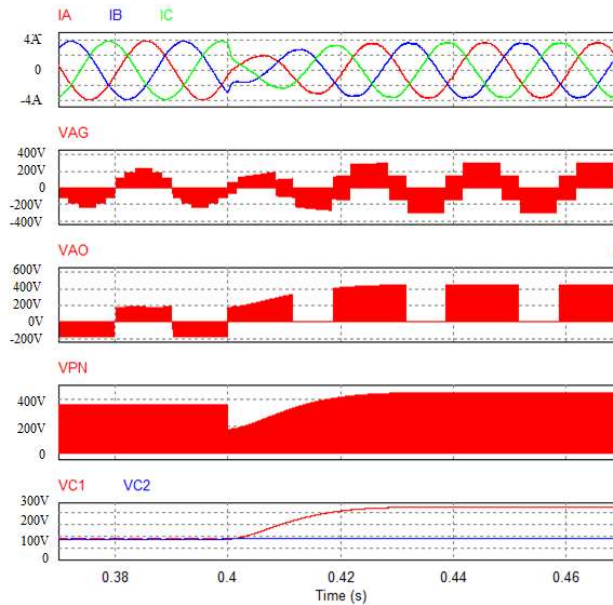


(a)

Hình 5.13. Kết quả mô phỏng của chịu lỗi 3L qSBT²I dưới điều kiện hoạt động thông thường và lỗi của T_1 dưới điều kiện bình thường và lỗi hở mạch với phương pháp điều chế đề xuất.

Hình 5.13 trình bày kết quả mô phỏng của chịu lỗi 3L-qSBT²I khi khóa công suất T_1 của mạng nguồn kháng xảy ra lỗi hở mạch. Để bù cho sự giảm điện áp ngõ ra, phương pháp điều chế đề xuất được áp dụng cho chịu lỗi 3L-qSBT²I như đã trình bày ở Hình 5.13, điện áp của tụ điện C_1 vẫn giữ không đổi 181 V, trong khi điện áp tụ C_2 được tăng áp lên 458 V sau khi xảy ra lỗi hở mạch T_1 . Điện áp pha ngõ ra có hai bậc. Điện áp đỉnh DC-link trước và sau điều kiện lỗi là 362 V và 458 V. Dòng điện ngõ ra được cân bằng và được khôi phục.

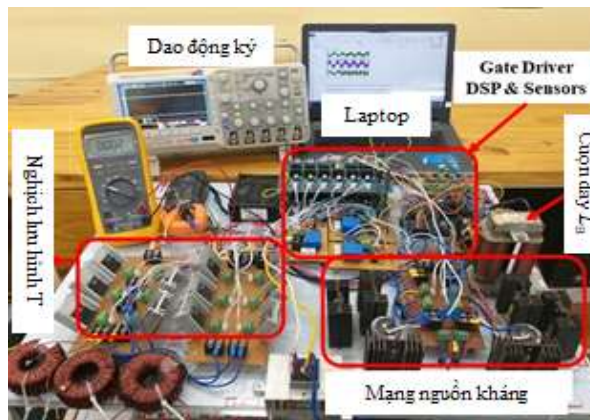
Hình 5.14 trình bày kết quả mô phỏng của chịu lỗi 3L-qSBT²I khi khóa công suất T_2 của mạng nguồn kháng xảy ra lỗi hở mạch. Để bù cho sự giảm điện áp ngõ ra, phương pháp điều chế đề xuất được áp dụng cho chịu lỗi 3L-qSBT²I giống như đã trình bày ở Hình 5.13, điện áp của tụ điện C_2 vẫn giữ không đổi 181 V, trong khi điện áp tụ C_1 được tăng áp lên 458 V sau khi xảy ra lỗi hở mạch T_2 . Điện áp pha ngõ ra có hai bậc. Điện áp đỉnh DC-link trước và sau điều kiện lỗi là 362 V và 458 V. Dòng điện ngõ ra được cân bằng và được khôi phục.



Hình 5.14. Kết quả mô phỏng của chụm lõi 3L qSBT²I dưới điều kiện hoạt động thông thường và lõi của T_2 dưới điều kiện bình thường và lõi hở mạch với phương pháp điều chế đề xuất.

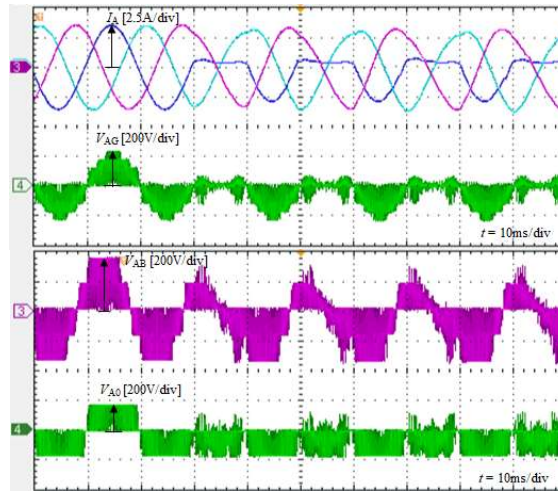
5.2.2. Kết quả thực nghiệm

Một mô hình thực nghiệm được xây dựng để chứng minh nguyên lý hoạt động của chụm lõi 3L-qSBT²I. Hình 5.15 trình bày mô hình thực nghiệm. Để dò lỗi, cảm biến LEM-LA 25-P cảm biến dòng được sử dụng để thu thập những tín hiệu dòng điện ngõ ra. Khi một trong các khóa công suất xảy ra lỗi hở mạch, cảm biến dòng sẽ cập nhật sự thay đổi của những dòng điện ngõ ra cho hệ thống điều khiển để giải quyết lỗi.



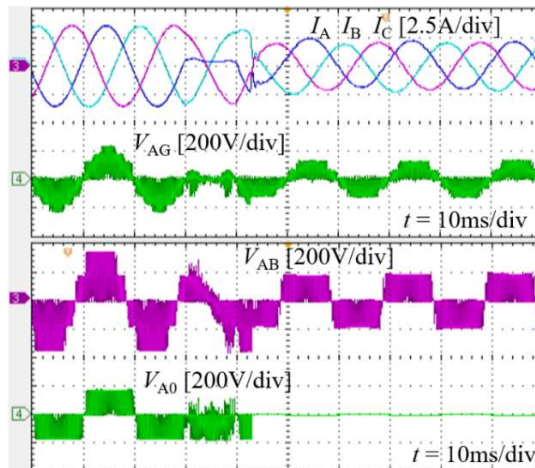
Hình 5.15. Mô hình thực cho chụm lõi 3L-qSBT²I.

Hình 5.16 trình bày kết quả thực nghiệm của chịu lỗi 3L-qSBT²I khi khóa công suất S_{1a} bị lỗi hở mạch, kết quả cho thấy dòng điện tải bị mất đối xứng và méo dạng nếu kỹ thuật điều chế đề xuất không áp dụng. Sau khi tái cấu hình mạch (Reconfigured) và điều chế, dòng điện ngõ ra được cân bằng như đã trình bày ở Hình 5.17. Tuy nhiên, biên độ của chịu lỗi 3L-qSBT²I bị giảm như so sánh với trạng thái hoạt động bình thường.

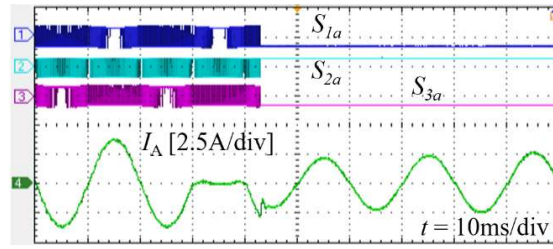


Hình 5.16. Kết quả thực nghiệm của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} .

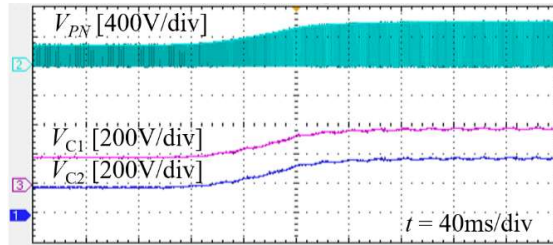
Hình 5.16 đến Hình 5.24 trình bày kết quả thực nghiệm của chịu lỗi 3L qSBT²I dưới những điều kiện hoạt động khác nhau. Ở Hình 5.16, 5.17, 5.18 (c), 5.19, 5.20 (b), 5.21 (b) và 5.22 (b), những dạng sóng từ trên xuống là dòng điện pha ngõ ra (I_A , I_B , I_C), điện áp pha ngõ ra (V_{AG}), điện áp dây ngõ ra (V_{AB}) và điện áp cực V_{AO} .



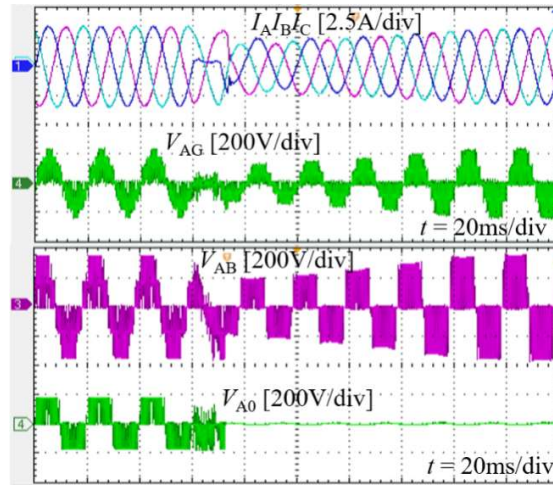
Hình 5.17. Kết quả thực nghiệm của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} khi tái cấu hình và chưa bù những thông số điều khiển.



(a)



(b)

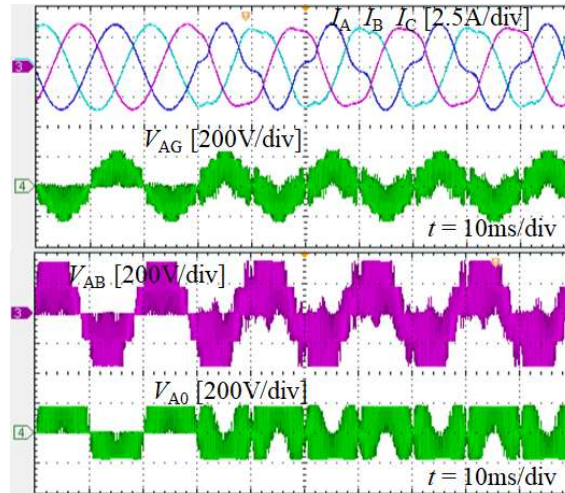


(c)

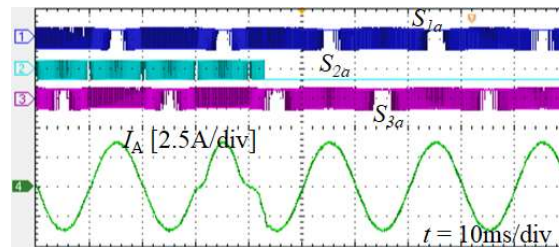
Hình 5.18. Kết quả thực nghiệm của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{1a} khi tái cấu hình và bù bởi những thông số điều khiển.

Hình 5.18 trình bày những kết quả thực nghiệm của chịu lỗi 3L-qSBT²I với kế hoạch điều khiển PWM đề xuất khi khóa công suất S_{1a} bị lỗi hở mạch, với tái cấu hình mạch (Reconfigured) và bù điện áp được áp dụng. Dưới những điều kiện lỗi thông thường, điện áp cực ba bậc (V_{AO}) có ba bậc: 176 V, 0 V và -176 V. Những giá trị đã mô phỏng cao hơn những giá trị đo được bởi vì điện áp rơi trên linh kiện là bỏ qua trong mô phỏng. Từ Hình 5.18 (b), có thể thấy rằng điện áp trên tụ và điện áp DC-link được tăng áp 176 V và 368 V từ điện áp ngõ vào 165 V trong điều kiện hoạt động bình thường. Khi khóa công suất S_{1a} bị lỗi, điện áp trên tụ và điện áp DC-link được tăng áp đến 368 V và 736 V để bù điện áp của pha bị lỗi. Như đã trình bày

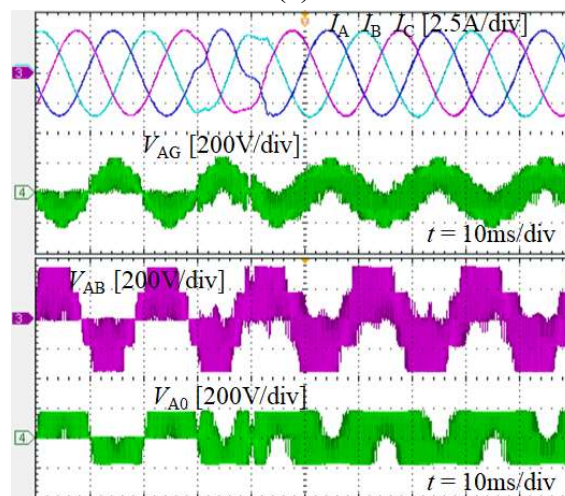
ở Hình 5.18 (c), biên độ dòng điện và điện áp của cuộn lõi 3L-qSBT²I với phương pháp PWM đề xuất được khôi phục hoàn toàn như giá trị trước lỗi.



Hình 5.19. Kết quả thực nghiệm của cuộn lõi T 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{2a} khi không thay đổi phương pháp điều chế.



(a)

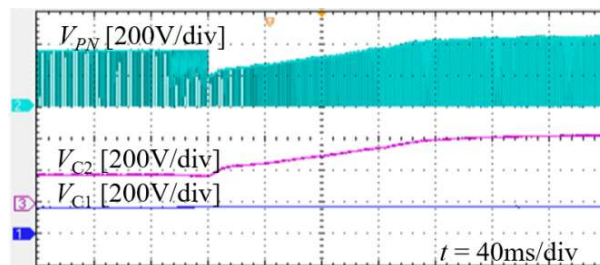


(b)

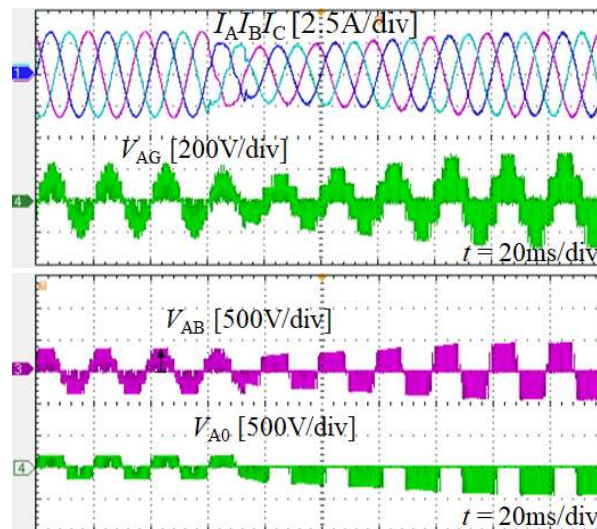
Hình 5.20. Kết quả thực nghiệm của cuộn lõi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của S_{2a} khi thay đổi phương pháp điều chế. (a) Tín hiệu điều khiển và dòng điện ngõ ra, (b) những dạng sóng ngõ ra.

Hình 5.19 và 5.20 trình bày kết quả thực nghiệm của chịu lỗi 3L-qSBT²I dưới điều kiện lỗi khóa công suất S_{2a} . Những dòng tải và điện áp ngõ ra bị méo dạng như đã trình bày ở Hình 5.19. Điện áp cực bị ảnh hưởng khi so sánh với những điều kiện thông thường.

Những dạng sóng ở Hình 5.20 (a) trình bày những tín hiệu điều khiển cho pha A và dòng điện tải trước và sau lỗi. Những dạng sóng ở hình 5.20 (b) chỉ ra rằng kế hoạch bù dưới điều kiện lỗi đã duy trì những dạng sóng ngõ ra như trong điều kiện bình thường. Trong tình huống này, sự méo dạng dòng điện ngõ ra có thể được giảm thiểu trong trạng thái lỗi này.



(a)

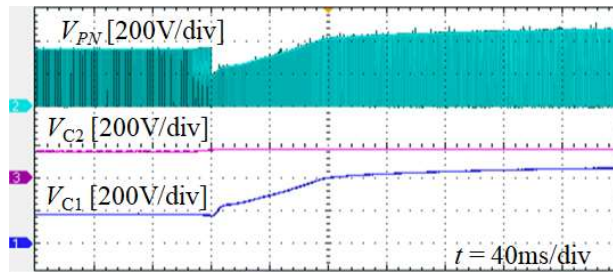


(b)

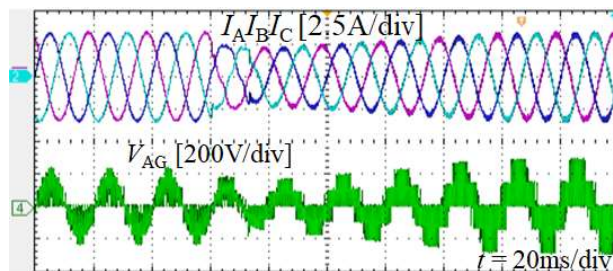
Hình 5.21. Kết quả thực nghiệm của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của T_1 khi thay đổi phương pháp điều chế đề xuất. (a) điện áp $DC-link$ và điện áp trên tụ C_1 và C_2 (b) những dạng sóng ngõ ra.

Hình 5.21 trình bày những kết quả thực nghiệm của chịu lỗi 3L-qSBT²I với kế hoạch điều khiển PWM đề xuất khi khóa công suất T_1 bị lỗi hở mạch. Từ Hình 5.21

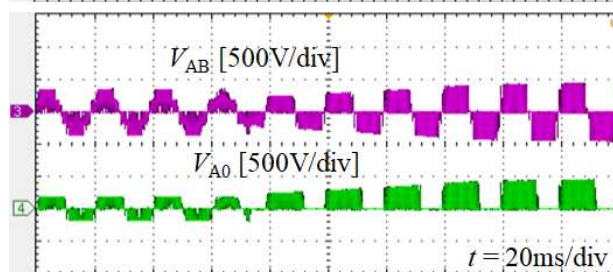
(a), có thể thấy rằng trong điều kiện bình thường, điện áp trên tụ điện và điện áp *DC-link* được tăng áp lên 176 V và 348 V. Khi khóa công suất T_1 bị lỗi, điện áp trên tụ điện C_2 và điện áp *DC-link* được tăng áp lên 436 V, trong khi điện áp trên tụ C_1 được giữ không đổi. Như đã trình bày ở Hình 5.21 (b), biên độ của dòng điện tải đã được khôi phục như giá trị trước lỗi.



(a)

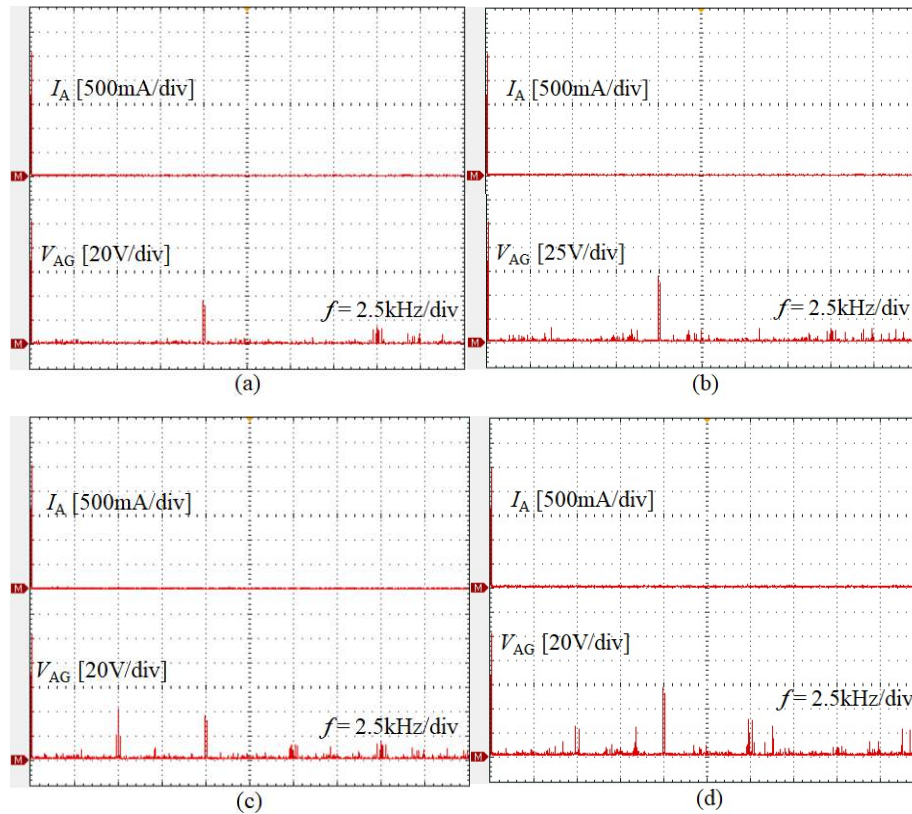


(b)



Hình 5.22. Kết quả thực nghiệm của chịu lỗi 3L-qSBT²I dưới điều kiện hoạt động thông thường và lỗi của T_2 khi thay đổi phương pháp điều chế đề xuất. (a) điện áp *DC-link* và điện áp trên tụ C_2 và C_1 (b) những dạng sóng ngõ ra.

Hình 5.21 trình bày những kết quả thực nghiệm của chịu lỗi 3L-qSBT²I với kế hoạch điều khiển PWM đề xuất khi khóa công suất T_2 bị lỗi hở mạch. Từ Hình 5.22 (a), có thể thấy rằng trong điều kiện bình thường, điện áp trên tụ điện và điện áp *DC-link* được tăng áp lên 176 V và 348 V. Khi khóa công suất T_2 bị lỗi, điện áp trên tụ điện C_1 và điện áp *DC-link* được tăng áp lên 436 V, trong khi điện áp trên tụ C_2 được giữ không đổi. Như đã trình bày ở Hình 5.22 (b), biên độ của dòng điện tải đã được khôi phục như giá trị trước lỗi.



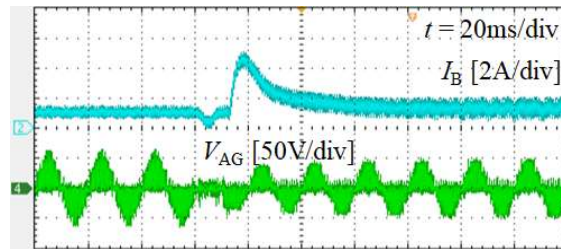
Hình 5.23. Phổ sóng hài của dòng điện tải và điện áp pha. (a) dưới điều kiện hoạt động thông thường (b) sau khi lỗi hở mạch S_{1a} với tải cấu hình mạch và bù điện áp, (c) sau khi lỗi hở mạch của S_{2a} với kỹ thuật PWM đề xuất, (d) sau khi lỗi hở mạch của T_1 với kỹ thuật PWM đề xuất.

Hình 5.23 phân tích FFT của điện áp ngõ ra (V_{AG}) và dòng điện ngõ ra (I_A). Phổ hài của V_{AG} và I_A được xem xét, biên độ hài bậc một của điện áp pha ngõ ra và dòng điện tải ngõ ra của Hình 5.23 (a), Hình 5.23 (b), Hình 5.23 (c) và Hình 5.23 (d). Hình 5.23 (a) trình bày của chịu lỗi 3L-qSBT²I khi hoạt động ở điều kiện bình thường, Hình 5.23 (b) của chịu lỗi 3L-qSBT²I khi hoạt động ở điều kiện lỗi khóa S_{1a} , Hình 5.23 (c) của chịu lỗi 3L-qSBT²I khi hoạt động ở điều kiện lỗi khóa S_{2a} và Hình 5.23 (d) của chịu lỗi 3L-qSBT²I khi hoạt động ở điều kiện lỗi khóa T_1 . Giá trị THD của V_{AG} và I_A được tính toán bởi kết quả của phổ hài như trình bày ở Bảng 5.6. Bảng 5.6 trình bày kết quả so sánh THDi và THDv của phương pháp [84] và phương pháp đề xuất. Khi chịu lỗi 3L-qSBT²I hoạt động ở điều kiện bình thường THDi và THDv của [84] là 3.19% và 70.1% trong khi đó phương pháp đề xuất là 2.77% và 62.42%. Khi chịu lỗi 3L-qSBT²I hoạt động ở điều kiện hở mạch khóa S_{1a} THDi và

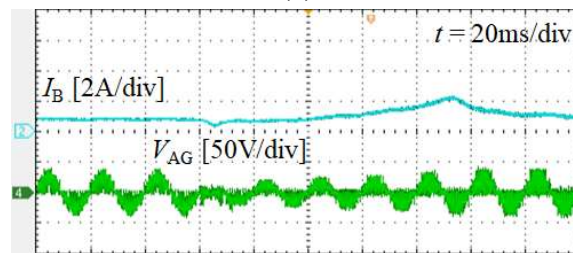
THD_v của [84] là 5.38% và 119.8% trong khi đó phương pháp đề xuất là 4.58% và 91.68%. Khi chịu lỗi 3L-qSBT²I hoạt động ở điều kiện hở mạch khóa S_{2a} THDi và THD_v của [84] là 4.74% và 125.8% trong khi đó phương pháp đề xuất là 3.37% và 86.96%. Khi chịu lỗi 3L-qSBT²I hoạt động ở điều kiện hở mạch khóa T_1 THDi và THD_v của [84] không có dữ liệu vì [84] chưa thực hiện, trong khi đó phương pháp đề xuất là 4.43% và 119.8%. So với giải thuật [84] giải thuật đề nghị khi hoạt động ở điều kiện bình thường THDi và THD_v giảm lần lượt là 13% và 11%.

Bảng 5.6: THD của dòng tải và điện áp pha ở điều kiện bình thường và lỗi

Điều kiện	Phương pháp trong [84]		Phương pháp đề xuất	
	THDi	THD _v	THDi	THD _v
Bình thường	3.19%	70.1%	2.77%	62.42%
Lỗi S_{1a} khi tái cấu hình mạch	5.38%	119.8%	4.58%	91.68%
Lỗi S_{2a} khi thay đổi phương pháp điều chế	4.74%	125.8%	3.37%	86.96%
Lỗi T_1 khi tái cấu hình mạch	NA	NA	4.43%	119.8%



(a)



(b)

Hình 5.24. Kết quả thực nghiệm của dòng quá độ của chịu lỗi 3L-qSBT²I dưới điều kiện lỗi hở mạch S_{1a} khi điện áp ngõ vào 30 V với: (a) Kỹ thuật điều chế xung PWM trong [84] và (b) phương pháp điều chế xung PWM đề xuất.

Hình 5.24 trình bày sự so sánh dòng quá độ của cuộn dây 3L-qSBT²I giữa phương pháp PWM trong [84] và kỹ thuật PWM đề xuất khi điều kiện độ lợi điện áp như nhau. Vì lý do an toàn, điện áp ngõ vào thấp 30 V được sử dụng để giảm dòng quá độ của cuộn dây 3L-qSBT²I. Như trình bày ở Hình 5.24 (a), dòng đỉnh của cuộn dây với phương pháp PWM trong [84] là 4.5 A, trong khi là 2.1 A với phương pháp PWM đề xuất. Ngoài ra, độ gợn dòng điện của cuộn dây thấp và đỉnh điện áp ngõ ra thấp được thể hiện trong cuộn dây cho 3L-qSBT²I với phương pháp PWM đề xuất, kết quả cho thấy điện áp đặt trên khóa công suất trong nghịch lưu là giảm.

Kết luận:

Trong chương 5, tác giả đã trình bày kỹ thuật cuộn dây 3L-qSBT²I. a) kỹ thuật cuộn dây hở mạch của khóa S_{1x} hoặc khóa S_{3x} , b) kỹ thuật cuộn dây hở mạch của khóa S_{2x} và c) kỹ thuật cuộn dây hở mạch của khóa T_1 hoặc khóa T_2 .

Trên cơ sở phân tích cuộn dây 3L-qSBT²I, các công trình nghiên cứu về cuộn dây 3L-qSBT²I trong nước và quốc tế, tác giả đề xuất cấu hình cuộn dây 3L-qSBT²I có công suất nhỏ, giảm các khóa bán dẫn công suất. Cuộn dây 3L-qSBT²I trên đề xuất kỹ thuật điều khiển phù hợp:

- a) Bộ nghịch lưu tăng áp có khả năng hoạt động trong môi trường cuộn dây hở mạch phía mạng nguồn kháng và phía nghịch lưu hình T;
- b) Giải thuật cải thiện thông số điều khiển so với cấu hình tương tự;
- c) Đề xuất giải thuật cuộn dây khi hai khóa công suất mạng nguồn kháng (T_1 và T_2) bị cuộn dây hở mạch, không thêm bất kỳ phần tử công suất nào.

Tuy nhiên, đề xuất trên vẫn còn tồn tại điện áp DC-link khá cao khi hoạt động ở điều kiện cuộn dây hở mạch các khóa công suất phía hình T. Trong nghiên cứu tiếp theo tác giả đề nghị phát triển kỹ thuật cuộn dây 3L-qSBT²I với khả năng giảm điện áp DC-link khi hoạt động ở điều kiện cuộn dây hở mạch các khóa công suất phía hình T.

Chương 6: Kết luận và hướng phát triển của luận án

6.1. Kết quả đạt được

Trong luận án này, tác giả đã trình bày bộ biến đổi năng lượng với những chương như sau: chương 1, tác giả trình bày tổng quan về tình hình trong nước cũng như tình hình quốc tế về nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T. Chương 2, tác giả trình bày cơ sở lý thuyết về nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T, nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode và nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng chịu lỗi hở mạch các khóa công suất. Chương 3, tác giả trình bày nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T. Chương 4, tác giả trình bày nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode và chương 5 tác giả trình bày nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng chịu lỗi các khóa công suất.

Dựa vào phân tích lý thuyết, mô phỏng và thực nghiệm của cấu hình và giải thuật đề xuất như đã trình bày ở trên, Tác giả đưa ra một số nhận xét như sau:

Trong chương 3, với những bất lợi về kích thước, trọng lượng và chi phí của các bộ nghịch lưu truyền thống còn cao cho nên, nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T là một giải pháp để hệ thống nghịch lưu tăng áp ngày càng hoàn thiện hơn. Trong chương này, tác giả đã đề xuất giải thuật điều chế độ rộng xung (pulse width modulation - PWM) có những ưu điểm: a) với kỹ thuật dịch sóng mang 90° so với sóng mang chuẩn và phối hợp kỹ thuật chèn xung xen kẽ giúp cho bộ chuyển đổi giảm độ gợn dòng điện ngõ ra nguồn điện một chiều, b) với kỹ thuật PWM đề xuất giúp cho hệ thống có độ lợi điện áp cao so với cấu hình tương tự và c) chỉ số điều chế cao nhất có thể so với cấu hình tương tự được trình bày trong bài báo 01.

Trong chương 4, triệt tiêu điện áp common mode (CMV) là không thể thiếu trong các bộ nghịch lưu đa bậc. Bởi vì, điện áp common mode sinh ra dòng rò (leakage current), nhiễu điện từ (electromagnetic interference) và tồn tại điện áp trên trục động cơ (shaft voltage) ảnh hưởng đến tuổi thọ của hệ thống. Để triệt tiêu điện áp common mode (CMV) trong khi vẫn có khả năng hoạt động tăng-giảm điện áp,

giảm độ gợn dòng điện của cuộn dây tăng áp (dòng điện ngõ vào) là một thách thức lớn cho những nhà nghiên cứu được trình bày trong bài báo 03.

Trong chương 5, tính ổn định và độ tin cậy của bộ nghịch lưu rất quan trọng trong hệ thống phân phối công suất vì nó giúp hệ thống cung cấp điện không ngắt UPS, hệ thống y tế công suất cao và hệ thống chuyển đổi năng lượng kết nối lưới. Vì thế, để hệ thống hoạt động trong điều kiện chịu lỗi là một vấn đề mà các nhà nghiên cứu trên thế giới rất quan tâm hiện nay. Trong chương này, ngoài việc tác giả thực hiện chịu lỗi hở mạch cho các khóa công suất bên phía nghịch lưu, tác giả còn đề xuất giải thuật chịu lỗi hở mạch cho hai khóa công suất ở mạng nguồn kháng cũng như cải tiến thông số điều khiển để giảm điện áp đặt trên các khóa công suất được trình bày trong bài báo 02.

Để ổn định điện áp DC-link cũng như điện áp ngõ ra, tác giả đã xây dựng giải thuật điều khiển PID. Với giải thuật này, tác giả đã cân bằng điện áp hai trên tụ điện cũng như điện áp DC-link. Trong khi đó, để kiểm chứng sự ổn định của điện áp ngõ ra, tác giả đã cho thay đổi tải. Với cách thực hiện này đã cho thấy sự thay đổi dòng điện ngõ ra trong khi điện áp ngõ ra vẫn không đổi. Kết quả, điện áp trên tụ cân bằng, điện áp DC-link và điện áp ngõ ra ổn định.

Để kiểm chứng cơ sở lý thuyết, một mô hình thực nghiệm của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T đã được chế tạo với công suất ngõ ra là 1 kW. Hệ thống đã đáp ứng đúng yêu cầu phân tích của cơ sở lý thuyết cũng như kết quả mô phỏng. Ngoài ra, hệ thống nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T đã được thiết kế sao cho các linh kiện công suất có thông số kỹ thuật phổ biến trên thị trường, chi phí thấp với mục đích phục vụ cho việc thương mại cũng như làm chủ công nghệ sau này.

Ngoài ra, các kỹ thuật đề xuất trong luận án này đã được công bố trên những tạp chí và hội nghị chuyên ngành khoa học kỹ thuật có uy tín trong nước và quốc tế.

Một số khuyến cáo của luận án: a) cấu hình nghịch lưu hình T 3 bậc nên được sử dụng trong các lĩnh vực công suất trung bình và nhỏ bởi vì hai khóa công suất nhánh T (S_{1x} và S_{3x}) có điện áp lớn gấp đôi điện áp khóa hai chiều (S_{2x}) điều này không phù hợp nơi công suất cao, b) khi triệt tiêu điện áp common mode THD sẽ

tăng lên và c) khi bộ nghịch lưu hoạt động ở điều kiện lỗi, các khóa bán dẫn nên được chọn lựa sao cho phù hợp.

6.2 Hướng phát triển luận án

Trong luận án, tác giả sử dụng tải tuyến tính, chưa điều khiển động cơ trong môi trường thực tế và điều khiển kết nối lưới. Để luận án có thể được khai thác hiệu quả và chuyển giao công nghệ, luận án cần được nghiên cứu bổ sung những phần sau:

- Triển khai bộ nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T điều khiển động cơ không đồng bộ 3 pha trong thực tế.
- Phối hợp hệ thống PV với bộ nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T nối lưới điện phù hợp với công suất trung bình và nhỏ.
- Triển khai bộ nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T điều khiển động cơ không đồng bộ 3 pha trong thực tế hoạt động trong điều kiện bình thường và chịu lỗi.
- Đánh giá tuổi thọ của các khóa công suất trong bộ nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T.

DANH MỤC CÁC CÔNG TRÌNH ĐÃ CÔNG BỐ

Thứ Tự	Tên bài báo	Số tác giả	Tên tạp chí, kỹ yếu khoa học	Tạp chí quốc tế uy tín (và IF)	Trang	Năm công bố
Tạp chí quốc tế						
01	Three-level quasi-switched boost T-type inverter: analysis, PWM control, and verification. (Tác giả chính)	02	IEEE Transactions on Industrial Electronics, [xếp hạng Q1] ISSN: 0278-0046	SCI IF = 7.503	8320-8329	2018
02	A PWM scheme for a fault-tolerant three-level quasi-switched boost T-type inverter (Tác giả chính)	06	Journal of Emerging and Selected Topics in Power Electronics, [xếp hạng Q1] ISSN: 2168-6777	SCIE IF = 5.972		2019
03	Common Mode Voltage Elimination for Quasi-Switch Boost T-Type Inverter Based on SVM Technique (Tác giả chính)	05	Electronics, [xếp hạng Q3] ISSN: 2079-9292	SCIE IF = 1.764		2020
04	A single-phase nine-level boost inverter (Đồng tác giả)	04	Energies, [xếp hạng Q3] ISSN: 1996-1073	SCIE IF = 2.707	1-14	2019
05	A PWM scheme for five-level H-bridge T-type inverter with switching loss reduction (Đồng tác giả)	03	Electronics, [xếp hạng Q3] ISSN: 2079-9292	SCIE IF = 1.764	1-17	2019
Hội nghị quốc tế						
01	Space vector modulation strategy for three-level quasi-switched boost T-type inverter (Tác giả chính)	07	IEEE Southern Power Electronics Conference, SPEC'18, Singapore. ISBN: 978-1-5386-8258-6		1-5	2018
02	Space Vector Modulation Scheme for Three-Level T-Type Quasi-	04	IEEE Conference on Power Electronics and ECCE Asia Korea ISBN: 978-1-7281-1612-9		1-6	2019

	Switched Boost Inverter to Reduce Common Mode Voltage (Đồng tác giả)					
03	Controlled diode bridge clamped three-level inverter based on quasi-switched boost network (Tác giả chính)	04	International Conference on Green Technology and Sustainable Development, GTSD'18, Ho Chi Minh City, Vietnam. ISBN: 978-1-5386-5127-8		673-677	2018
04	PWM control method to eliminate Common Mode Voltage in three level T-Type inverters (Đồng tác giả)	06	International Conference on Environment and Renewable Energy			2019
05	A single source fed three-level T-type inverter based on voltage quasi-switched boost (Tác giả chính)	03	The 2017 International Symposium on Electrical and Electronics Engineering, Ho Chi Minh City		114-119	2017
06	A Quasi-Z-source T-Type Inverter with Fault-Tolerant Capability (Tác giả chính)	06	IEEE International Conference on System Science and Engineering ISBN 978-1-7281-0524-6		37-40	2019
07	A Novel Offset Function for Three-Level T-Type Inverter to Reduce Switching Loss (Đồng tác giả)	06	IEEE International Conference on System Science and Engineering ISBN 978-1-7281-0524-6		41-44	2019
Tạp chí trong nước						
01	A novel offset function design for five level cascade inverters to reduce switching loss (Tác giả chính)	02	Ho Chi Minh City university of Technology and Education. ISSN 1859-1272		20-26	2018
02	A new PWM algorithm for three-level quasi-switched boost T-type inverter (Tác giả chính)	05	Tạp chí Tự động hóa ngày nay ISSN: 1859-0551		55-61	2018
03	Kỹ thuật PWM cải tiến cho nghịch lưu năm bậc cascade H-Bridge với khả năng tăng áp	06	Trường Đại học Sư phạm Kỹ thuật Tp.HCM, Việt nam		67-73	2019

	(Tác giả chính)		ISSN 1859-1272			
04	Giải thuật PWM cho nghịch lưu hình T 3 bậc để triệt tiêu điện áp common mode (Đồng tác giả)	06	Trường Đại học Sư phạm Kỹ thuật Tp.HCM, Việt nam ISSN 1859-1272		41-49	2019
05	Nghịch lưu 3 bậc hình T với khả năng chịu lỗi (Tác giả liên hệ)	05	Trường Đại học Sư phạm Kỹ thuật Tp.HCM, Việt nam ISSN 1859-1272		50-67	2019
06	Kỹ thuật vector không gian cải tiến cho nghịch lưu hình T 3 bậc để giảm điện áp common mode (Tác giả liên hệ)	06	Trường Đại học Sư phạm Kỹ thuật Tp.HCM, Việt nam ISSN 1859-1272		58-66	2019
Hội nghị trong nước						
01	A Three Level T-type Inverter Voltage Boost Based on LC-Switching (Tác giả chính)	04	Hội nghị và triển lãm quốc tế điều khiển và tự động hóa VCCA-2017, Tp. HCM. ISBN: 978-604-73-5569-3			2017
02	Xử lý lỗi dung sai cho bộ nghịch lưu ba pha ba bậc nguồn Z hình T (Đồng tác giả)	04	Hội nghị và triển lãm quốc tế điều khiển và tự động hóa VCCA-2017, Tp. HCM. ISBN: 978-604-73-5569-3			2017
03	A dual boost inverter for open-end winding induction motor (Đồng tác giả)	04	Hội nghị và triển lãm quốc tế điều khiển và tự động hóa VCCA-2017, Tp. HCM. ISBN: 978-604-73-5569-3			2017

TÀI LIỆU THAM KHẢO

- [1] Earth system Science Data, “Global carbon budget 2018”.
- [2] Đào Trọng Tứ; Lê Anh Tuấn; Lê Kim Thái; Trần Đình Sinh; Nguyễn Thị Khanh; Lâm Thị Sửu; Hoàng Thanh Bình. “phân tích chi phí và rủi ro môi trường - xã hội của đập thủy điện – với trường hợp điển hình là nhà máy thủy điện sông tranh 2”, trung tâm phát triển sáng tạo xanh, 8-2013.
- [3] X. Xu; Ch. Hao; M. Bishop; M. J.S. Edmonds; J. Sember; J. Zhang, “Development and Planning of Solar Power in China,” IEEE Power & Energy Society General Meeting., pp. 1-5, 2013.
- [4] A. M. Bouzid, J. M. Guerrero, A. Cheriti, M. Bouhamida, P. Sicard, and M. Benghanem, “A survey on control of electric power distributed generation systems for microgrid applications,” *Renew. Sustain. Energy Rev.*, vol. 44, pp. 751–766, 2015.
- [5] H. Abu-Rub; J. Holtz; J. Rodriguez; and G. Baoming. “Medium-voltage multilevel converters—state of the art, challenges, and requirements in industrial applications,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2581–2596, Aug. 2010.
- [6] M. Quraan, P. Tricoli, S. D’Arco, L. Piegari, "Efficiency Assessment of Modular Multilevel Converters for Battery Electric Vehicles", *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2041-2051, March 2017.
- [7] E. Rasool; M. Darwish, "High frequency inverter circuit for UPS systems", International Universities Power Engineering Conference (UPEC), pp. 1-4, Sep. 2012.
- [8] H. Abu-Rub; J. Holtz; J. Rodriguez; and G. Baoming. “Medium-voltage multilevel converters—state of the art, challenges, and requirements in industrial applications,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2581–2596, Aug. 2010.
- [9] S. Kouro; M. Malinowski; K. Gopakumar; J. Pou; L. G. Franquelo; B. Wu; J. Rodriguez; M. A. Pérez; and J. I. Leon. “Recent advances and industrial applications of multilevel converters,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2553–2580, Aug. 2010.

- [10] M. Schweizer; and J. W. Kolar. “Design and implementation of a highly efficient three-level T-type converter for low-voltage applications,” *IEEE Trans. Power Electron.*, vol. 28, no. 2, pp. 899-907, Feb. 2013.
- [11] J. Pereda and J. Dixon, “Cascaded multilevel converters: optimal asymmetries and floating capacitor control,” *IEEE Trans. Ind. Electron.*, vol. 60, no.11, pp. 4784-4793, Nov. 2013.
- [12] H. Abu-Rub; J. Holtz; J. Rodriguez; and G. Baoming. “Medium-voltage multilevel converters—State of the art, challenges, and requirements in industrial applications,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2581–2596, Aug. 2010.
- [13] Y. Elthokaby; L. Elshafei; N. A. Rahim; E. S. Finite, “Control Set Model-Predictive Control for SinglePhase Voltage-Source UPS Inverters,” In Proceedings of the 2016 Eighteenth International Middle East Power Systems Conference (MEPCON), Cairo, Egypt, 27–29 December 2016.
- [14] S. Kouro et al. “Recent advances and industrial applications of multilevel converters,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2553–2580, Aug. 2010.
- [15] D. Mohan; X. Zhang; and G. H. B. Foo, “A simple duty cycle control strategy to reduce torque ripples and improve low-speed performance of a three-level inverter fed DTC IPMSM drive,” *IEEE Trans. Ind. Electron.*, vol. 64, no. 4, pp. 2709–2721, Apr. 2017.
- [16] A. K. Yadav; K. Gopakumar; R. K. Raj; L. Umanand; K. Matsuse; H. Kubota. “Instantaneous Balancing of Neutral Point Voltages for Stacked DC-link Capacitors of Multilevel Inverter for Dual Inverter fed Induction Motor Drives,” *IEEE Trans. Power Electron.* 2019, 34, 2505–2514.
- [17] Y. Yu; G. Konstantinou; B. Hredzak; and V. G. Agelidis. “Operation of cascaded H-bridge multilevel converters for large-scale photovoltaic power plants under bridge failures,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 11, pp. 7228–7236, Nov. 2015.

- [18] U. M. Choi et al. "Control strategy of two capacitor voltages for separate MPPTs in photovoltaic systems using neutral-point-clamped inverters," *IEEE Trans. Ind Appl.*, vol. 51, no. 4, pp. 3295-3303, Jul./Aug. 2015.
- [19] Q. Huang; A. Q. Huang; R. Yu; P. Liu; W. Yu. "High-Efficiency and High-Density Single-Phase Dual-Mode Cascaded Buck-Boost Multilevel Transformerless PV Inverter with GaN AC Switches," *IEEE Trans. Power Electron.* 2019, 34, 7474–7488.
- [20] H. F. Xiao; and S. J. Xie. "Transformerless split-inductor neutral point clamped three-level PV grid-connected inverter," *IEEE Trans. Power Electron.*, vol. 27, no.4, pp. 1799-1808, Apr. 2012.
- [21] Y. Yu; G. Konstantinou; B. Hredzak; and V. G. Agelidis. "Operation of cascaded H-bridge multilevel converters for large-scale photovoltaic power plants under bridge failures," *IEEE Trans. Ind. Electron.*, vol. 62, no. 11, pp. 7228–7236, Nov. 2015.
- [22] R. P. Alzola; J. R. Perez; E. Bueno; F. Huerta; D. C. Gaona; M. Liserre; and G. Burt. "Robust Active Damping in LCL-filter based Medium-Voltage Parallel Grid-Inverters for Wind Turbines," *IEEE Trans. Power Electron.* 2018, 33, 10846–10857.
- [23] F. Gao; P. C. Loh; R. Teodorescu; F. Blaabjerg; and D. M. Vilathgamuwa, "Topological design and modulation strategy for buck-boost three-level inverters," *IEEE Trans. Power Electron.*, vol. 24, no. 7, pp. 1722–1732, July. 2009.
- [24] R. Abdullah; N. A. Rahim; S.R.S. Raihan; and A.Z. Ahmad. "Five-level diode-clamped inverter with three-level boost converter," *IEEE Trans. Ind. Electron.*, vol. 61, no. 10, pp. 5155– 5163, Oct. 2014.
- [25] R. Krishna; D. E. Soman¹; S. K. Kottayil; and M. Leijon. "Pulse delay control for capacitor voltage balancing in a three-level boost neutral point clamped inverter," *IET Power Electron.*, vol. 8, no. 2, pp. 268–277, 2015.
- [26] C. Xia; X. Gu; T. Shi; and Y. Yan. "Neutral-point potential balancing of three-level inverters in direct-driven wind energy conversion system," *IEEE Trans. Energy Convers.*, vol. 26, no. 1, pp. 18–29, Mar. 2011.
- [27] V. Yaramasu; and B. Wu; "Predictive control of a three-level boost converter and an NPC inverter for high-power PMSG-based medium voltage wind energy

conversion systems,” *IEEE Trans. Power Electron.*, vol. 29, no.10, pp. 5308-5322, Oct. 2014.

[28] Y. Zhang; J. T. Sun; Y. F. Wang; “Hybrid boost three-level dc–dc converter with high voltage gain for photovoltaic generation systems,” *IEEE Trans. Power Electron.*, vol. 28, no.8, pp. 3659-3664, Aug. 2013.

[29] D. Panfilov; O. Husev; F. Blaabjerg; J. Zakis; and K. Khandakji. “Comparison of three-phase three-level voltage source inverter with intermediate dc-dc boost converter and quasi-Z-source inverter,” *IET Power Electron.*, vol. 9, no. 6, pp. 1238-1248, Jun. 2016.

[30] P. C. Loh; F. Gao; F. Blaabjerg; S. Y. C. Feng; and K. N. J. Soon, “Pulse width-modulated Z-source neutral-point-clamped inverter,” *IEEE Trans. Ind. Appl.*, vol. 43, no. 5, pp. 1295–1308, Sep./Oct. 2007.

[31] P. C. Loh; F. Gao; F. Blaabjerg. “Topological and Modulation Design of Three-Level Z-Source Inverters,” *IEEE Trans. Power Electron.* 23, 2268–2277, 2008.

[32] P. C. Loh; S. W. Lim; F. Gao; and F. Blaabjerg. “Three-level Z-source inverters using a single LC impedance network,” *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 706-711, March 2007.

[33] F. Z. Peng; M. Shen; and K. Holland. “Application of Z-source inverter for traction drive of fuel cell-battery hybrid electric vehicles,” *IEEE Trans. Power Electron.*, vol. 22, no. 3, pp. 1054-1061, May 2007.

[34] F. Z. Peng. “Z-source inverter,” *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 504-510, Mar./Apr. 2003.

[35] T. Li; Q. Cheng. “A comparative study of Z-source inverter and enhanced topologies,” *CES Trans. Electr. Mach. Syst.* 2018, 2, 284–288.

[36] Y. Li; S. Jiang; J. G. C. Rivera; and F. Z. Peng. “Modeling and Control of Quasi-Z-Source In-verter for Distributed Generation Applications,” *Elsevier-Energy Procedia*, pp. 927-934, 2011.

[37] Ch. Qin; Ch. Zhang; A. Chen; X. Xing; and G. Zhang, “A Space Vector Modulation Scheme of Quasi-Z-Source Three-Level T-Type Inverter for Common-Mode Voltage Reduction,” *IEEE Transactions on Power Electronics*, Vol. 65, No. 10, pp. 8340-8350, Oct. 2018.

- [38] H. F. Ahmed; H. Cha; S. Kim; H. Kim. “Switched-Coupled-Inductor Quasi-Z-Source Inverter,” *IEEE Trans. Power Electron.* 2016, 31, 1241–1254.
- [39] V. F. Pires; A. Cordeiro; D. Foio; J. F. Martins. “Quasi-Z-Source Inverter with a T-Type Converter in Normal and Failure Mode,” *IEEE Trans. Power Electron.* 2016, 31, 7462–7470.
- [40] X. Zhu; B. Zhang; and D. A. Qiu. “New Nonisolated Quasi-Z-Source Inverter with High Voltage Gain,” *IEEE J. Emerg. Sel. Top. Power Electron.* 2019, 7, 2012–2028.
- [41] M. K. Nguyen; Y. C. Lim; and G. B. Cho. “Switched-Inductor Quasi-Z-Source Inverter,” *IEEE Transactions on Power Electronics*, Vol. 26, No. 11, pp. 3183-3191, Nov. 2011.
- [42] M. K. Nguyen, Q. D. Phan; Y. C. Lim; and S. J. Park. “Transformer-Based Quasi-Z-Source Inverters with High Boost Ability,” in *proc. IEEE International Symposium on Industrial Electronics, ISIE’13, 05-2013*, pp.1-5, Taipei, Taiwan.
- [43] E. Babaei; E. S. Asl; and M. H. Babayi. “Steady-state and small-signal analysis of high voltage gain half-bridge switched-boost inverter,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 6, pp. 3546–3553, Jun. 2016.
- [44] V. T. Tran; M. K. Nguyen; C. C. Ngo; and Y. O. Choi. “Three-Phase Five-Level Cascade Quasi-Switched Boost Inverter,” *Electronics*, 296, 1-16, 8-2019.
- [45] J. Chen, S. Hou, F. Deng, Z. Chen, and J. Li, “An interleaved five-level boost converter with voltage-balance control,” *J. Power Electron.*, vol. 16, no. 5, pp. 1735-1742, Sep. 2016.
- [46] E. Babaei, E. S. Asl, and M. H. Babayi, “Steady-state and small-signal analysis of high voltage gain half-bridge switched-boost inverter,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 6, pp. 3546–3553, Jun. 2016.
- [47] M. Sahoo; S. Keerthipati. “A Three Level LC-Switching Based Voltage Boost NPC Inverter,” *IEEE Transactions on Industrial Electronics.*, Vol. 64, no. 4, pp. 2876 - 2883, 06 December 2016.
- [48] M. Sahoo and S. K. Kumar, “A single source fed three level voltage boost NPC inverter with reduced LC count,” in *Proc. 42nd Annu. Conf. IEEE Ind. Electron. Soc.*, 2016, pp. 3190–3195.

- [49] Duc-Tri Do, Minh-Khai Nguyen, "Three-Level Quasi-Switched Boost T-Type Inverter: Analysis, PWM Control, and Verification," IEEE Transactions on industrial electronics, Vol. 65, No. 10, October 2018.
- [50] Alia Rebecca Strand, "Comparison of Three Space Vector PWM Methods for a Three-Level Inverter with a Permanent Magnet Machine Load", master's theses, Publication, 2009.
- [51] Bin Wu, "High-Power Converters and AC Drives", A John Wiley & Sons, Inc., Publication, 2006.
- [52] Do, D.T.; Nguyen, M.K.; Quach, T.H.; Tran, V.T.; Le, C.B.; Lee, K.W.; Cho, G.B. "Space Vector Modulation Strategy for Three-Level Quasi-Switched Boost T-Type Inverter". In Proceedings of the 2018 IEEE 4th Southern Power Electronics Conference (SPEC), Singapore, 10–13 December 2018.
- [53] Q. Zhang; X. Xing; K. Sun, "Space Vector Modulation Method for Simultaneous Common Mode Voltage and Circulating Current Reduction in Parallel Three-Level Inverters", IEEE Trans. Ind. Electron., vol. 34, no. 4, pp. 3053-3060, June. 2018.
- [54] Tran, V.T.; Do, D.T.; Nguyen, M.K.; Nguyen, D.T. "Space Vector Modulation Scheme for Three-Level T-Type Quasi-Switched Boost Inverter to Reduce Common Mode Voltage". In Proceedings of the 2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019—ECCE Asia), Busan, Korea, 27–30 May 2019.
- [55] B. Chokkalingam ; J. L. Munda "Simplified SVPWM for Z Source T-NPC-MLI Including Neutral Point Balancing" IEEE Symposium on Computer Applications & Industrial Electronics (ISCAIE), Malaysia, 30-31 May 2016.
- [56] P. C. Loh; F. Gao; F. Blaabjerg; S. Y. C. Feng; K. Ngai Jamies Soon "Pulsewidth-Modulated Z-Source Neutral-Point-Clamped Inverter", IEEE Trans. Ind. Appl., vol. 43, no. 5, pp. 1295 - 1308, Sep. 2007.
- [57] X.Y. Xing; C. Zhang; A. Chen; J. He; W. Wang; C.Du "Space-Vector-Modulated Method for Boosting and Neutral Voltage Balancing in Z-Source Three-Level T-Type Inverter", IEEE Trans. Ind. Appl., vol. 52, no. 2, pp. 1621 - 1631, Oct. 2015.

- [58] Takahashi, S.; Ogasawara, S.; Takemoto, M.; Orikawa, K.; Tamate, M. "Common-Mode Voltage Attenuation of an Active Common-Mode Filter in a Motor Drive System Fed by a PWM Inverter". *IEEE Trans. Ind. Appl.*, vol. 55, no. 3, pp. 2721–2730, Jan 2019.
- [59] H. J. Kim; H. D.g Lee; S. K. Sul. "A new PWM strategy for common-mode voltage reduction in neutral-point-clamped inverter-fed AC motor drives". *IEEE Trans. Ind. Appl.*, vol. 37, no. 6, pp. 1840 - 1845, Dec 2001.
- [60] Lee, J.S.; Lee, K.B. "New Modulation Techniques for a Leakage Current Reduction and a Neutral-Point Voltage Balance in Transformerless Photovoltaic Systems using a Three-Level Inverter". *IEEE Trans. Power Electron.* vol. 29, no. 4, pp. 1720–1732, Jun. 2013.
- [61] M. K. Nguyen; T. T. Tran; F. Zare. "An Active Impedance-Source Three-Level T-Type Inverter with Reduced Device Count". *IEEE Journal of Emerging and Selected Topics in Power Electronics.* July 2019. Early Access.
- [62] C. Qin; C. Zhang; A. Chen; X. Xing; G. Zhang. "A Space Vector Modulation Scheme of the Quasi-z-Source Three-Level T-Type Inverter for Common-Mode Voltage Reduction". *IEEE Trans. on Ind. Electron.* vol. 65, no. 10, pp. 8340–8350, Jan. 2018.
- [63] V.N. Nguyen; T. K. T. Nguyen; H. H. Lee. "A Reduced Switching Loss PWM Strategy to Eliminate Common-Mode Voltage in Multilevel Inverters," *IEEE Trans. Power Electron.* vol. 30, no. 10, pp. 8340–8350, Dec. 2014.
- [64] T. K. T. Nguyen; V.N. Nguyen; N. R. Prasad. "Eliminated common-mode voltage pulse width modulation to reduce output current ripple for multilevel inverters," *IEEE Trans. Power Electron.* vol. 31, no. 8, pp. 5952-5966, Oct. 2015.
- [65] T. K. T. Nguyen; V.N. Nguyen; N. R. Prasad. "Novel Eliminated Common-Mode Voltage PWM Sequences and an Online Algorithm to Reduce Current Ripple for a Three-Level Inverter," *IEEE Trans. Power Electron.* vol. 32, no. 10, pp. 7482-7493, Oct. 2017.
- [66] V.N. Nguyen; T. K. T. Nguyen; T. H. Quach; H. H. Lee. "A reduced switching loss PWM strategy to eliminate common mode voltage in multilevel inverters," *IEEE Energy Conversion Congress and Exposition (ECCE).* Nov. 2014.

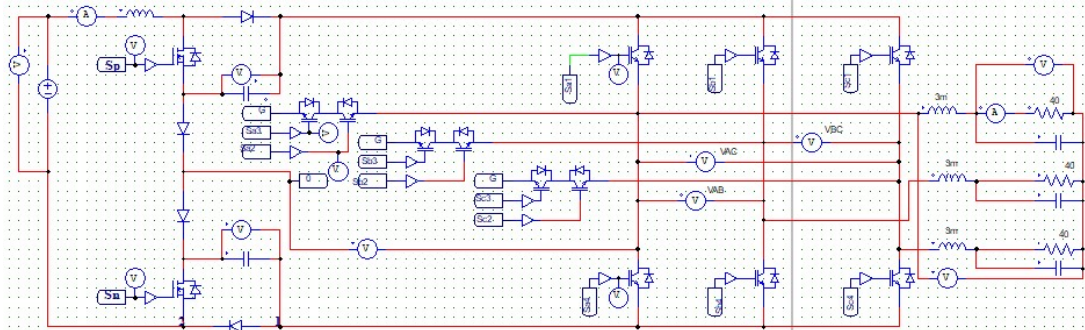
- [67] J. Jones and J. Hayes, "Estimation of system reliability using a "nonconstant failure rate" model," *IEEE Trans. Rel.*, vol. 50, no. 3, pp. 286–288, Sep. 2001.
- [68] U. M. Choi, F. Blaabjerg, and K. B. Lee, "Reliability Improvement of a T-type three-level inverter with fault-tolerant control strategy," *IEEE Trans. Ind. Electron.*, vol. 30, no. 5, pp. 2660-2673, May. 2015.
- [69] H. Wang, M. Liserre, F. Blaabjerg P. de Place Rimmen, J. B. Jacobsen, T. Kvisgaard, and J. Landkildehus, "Transitioning to Physics-of-Failure as a Reliability Driver in Power Electronics," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, no. 1, pp. 97-114. Mar. 2014.
- [70] Y. Song, B. Wang, "Survey on Reliability of Power Electronic Systems," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 591-604, Jan. 2013.
- [71] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, and P. Tavner, "An Industry-Based Survey of Reliability in Power Electronic Converters," *IEEE Transactions on Power Electronics*, vol. 47, no. 3, pp. 1441-1451, May/June 2011.
- [72] S. Yang, D. Xiang, A. Bryant, P. Mawby, L. Ran, and P. Tavner, "Condition monitoring for device reliability in power electronic converters: A review", *IEEE Trans. Power Electron.*, vol. 25, no. 11, pp. 2734-2752, Nov. 2010.
- [73] E. Wolfgang, "Examples for failures in power electronics systems," presented in ECPE Tutorial on Reliability of Power Electronic Systems, Apr. 2007.
- [74] M. A. Rodriguez, A. Claudio, D. Theilliol, and L. G. Vela, "A New Fault Detection Technique for IGBT Based on Gate Voltage Monitoring," in *Conf. Rec. PESC07*, pp. 1001-1005, 2007.
- [75] S. Xu, J. Zhang, J. Hang, "Investigation of a fault-tolerant three-level T-type inverter," *IEEE Trans. Ind. Appl.*, vol. 53, no. 5, pp. 4613–4623, Sep./Oct. 2017.
- [76] L. Bin and S. K. Sharma, "A literature review of IGBT fault diagnostic and protection methods for power inverters", *IEEE Trans Ind. Appl.*, vol. 45, no. 5, pp. 1770-1777, Sep./Oct. 2009.
- [77] S. Ceballos, J. Pou, E. Robles, I. Gabiola, J. Zaragoza, J. L. Villate, et al., "Three-level converter topologies with switch breakdown fault-tolerance capability", *IEEE Trans. Ind. Electron.*, vol. 55, no. 3, pp. 982-995, Mar. 2008.

- [78] B. Lu, and S. Sharma, "A literature review of IGBT fault diagnostic and protection methods for power inverters," *IEEE Trans. Ind. Appl.*, vol. 45, no. 5, pp. 1770-1777, Sep/Oct. 2009.
- [79] M. Naidu, S. Gopalakrishnan, and T. W. Nehl, "Fault-tolerant permanent magnet motor drive topologies for automotive X-by-wire systems," *IEEE Trans. Ind. Appl.*, vol. 46, no. 2, pp. 841-848, Mar./Apr. 2010.
- [80] U. M. Choi, H. G. Jeong, K. B. Lee, and F. Blaabjerg, "Method for detecting an open-switch fault in a grid-connected NPC inverter system," *IEEE Trans. Ind. Electron*, vol. 27, no. 6, pp. 2726-2739, Jun. 2012.
- [81] U. M. Choi, K. B. Lee, and F. Blaabjerg, "Diagnosis and tolerant strategy of an open-switch fault for T-type three-level inverter systems," *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 495-508, Feb. 2014.
- [82] F. Gao, P. C. Loh, F. Blaabjerg, D. M. Vilathgamuwa, "Dual Z-source inverter with three-level reduced common-mode switching," *IEEE Trans. Ind. Appl.*, vol. 43, no. 6, pp. 1597-1608, Nov./Dec. 2007.
- [83] V. F. Pires, A. Cordeiro, D. Foito, and J. F. Martins, "Quasi-Z-source inverter with a T-type converter in normal and failure mode," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7462–7470, Nov. 2016.
- [84] M. Sahoo, Si. Keerthipati, "Fault-tolerant three-level boost inverter with reduced source and LC count," *IET Power Electron.*, vol. 11, pp. 399– 405, Fed. 2018.
- [85] A. Cordeiro, J. Palma, J. Maia, and M. Resende, "Fault-tolerant design of a classical voltage-source inverter using Z-source and standby redundancy," in *Proc. International Conference on Electrical Power Quality and Utilization (EPQU)*, 2011, pp. 1-6.
- [86] F. Gao, P. C. Loh, F. Blaabjerg, and D. M. Vilathgamuwa, "Performance evaluation of three-level Z-source inverters under semiconductor-failure conditions," *IEEE Trans. Ind. Appl.*, vol. 45, no. 3, pp. 971-981, May/Jun. 2009.
- [87] IEC 61000-4-30: 2015. *Testing and Measuring Techniques—Power Quality Measurement Methods*; IEC: Geneva, Switzerland, 2015.

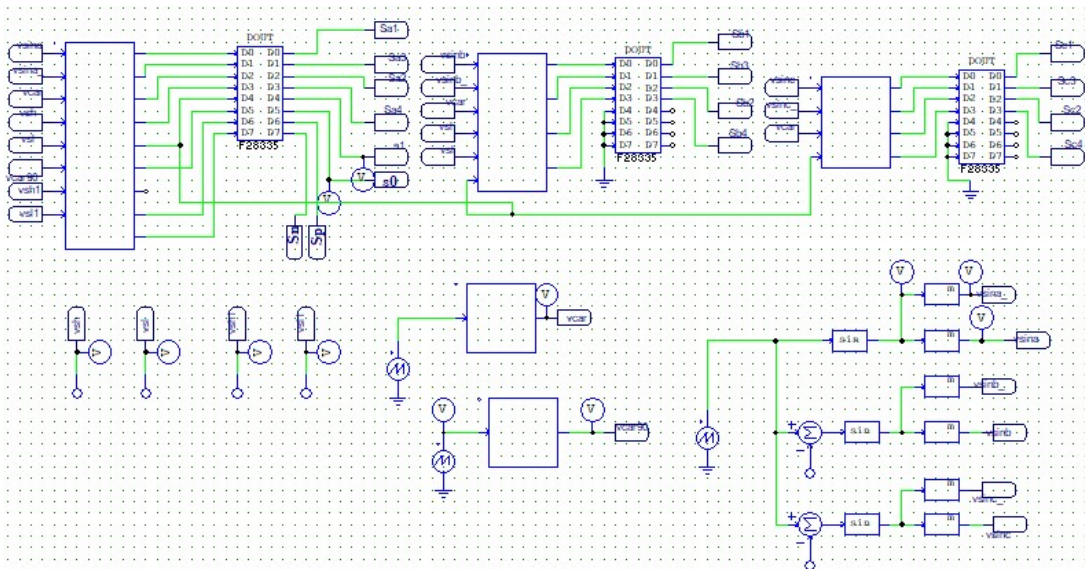
PHỤ LỤC

Phụ lục 1.1

Sơ đồ mô phỏng nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T



a) Sơ đồ mô phỏng khối công suất của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T.



b) Sơ đồ mô phỏng khối điều khiển của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T.

Chương trình điều khiển cho nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T cho pha A:

```
double vsina,vsina_vcar,Sa1,Sa2,Sa3,Sa4,vsh,vsl,s1,s0,sp,vcar90, vcar4, vsh1,
vsl1, sp1,sn, sn1;
vsina =x1;
vsina_ = x2;
vcar =x3;
```

```

vsh =x4;
vsl =x5;
vcar90=x6;
vsh1=x7;
vsl1=x8;
////////////////////////////////////
if(vsina > 1)
{
    if(vsina >= vcar)
    {
        if(vsina_<=vcar)
        {
            Sa1=1;
        }
        else {Sa1=0;}
    }
    else {Sa1=0;}
}
else {Sa1=0;}
////////////////////////////////////
if(vsina_ > 1)
{
    if(vsina_ >= vcar)
    {
        if(vsina<=vcar)
        {
            Sa2=0;
        }
        else {Sa2=1;}
    }
    else {Sa2=1;}
}

```

```

}
else {Sa2=1;}
////////////////////////////////////
Sa3=1-Sa1;
Sa4=1-Sa2;
////////////////////////////////////
if((vsh<vcar)||(vsl>vcar))
{
    s1=1;
}
else {s1=0;}
////////////////////////////////////
if((vsh<vcar90)||(vsl>vcar90))
{
    s0=1;
}
else {s0=0;}
////////////////////////////////////
if((Sa2==1) && (Sa3==1))
{
    Sa1=Sa1 || s1;
    Sa4=Sa4 || s1;
}
////////////////////////////////////
if((vsh1>vcar90)||(vsl1>vcar90))
{
    sp=0;
}
else {sp=1;}
sp1=sp||s0;
////////////////////////////////////

```

```

if((vsh1<vcar90)|| (vs11<vcar90))
{
    sn=0;
}
else {sn=1;}
sn1=sn||s0;
////////////////////////////////////
y1 = Sa1;
y2 = Sa3;
y3 = Sa2;
y4 = Sa4;
y5 = s1;
y6=s0;
y7=sp;
y8=sp1;
y9=sn1;

```

Chương trình điều khiển cho nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T cho pha B:

```

double vsinb,vsinb_,vcar,Sb1,Sb2,Sb3,Sb4,vsh,vs1,s1;
vsinb =x1;
vsinb_ =x2;
vcar =x3;
vsh =x4;
vs1 =x5;
s1 =x6;
////////////////////////////////////
if(vsinb > 1)
{
    if(vsinb >= vcar)
    {
        if(vsinb_<=vcar)

```



```

        {
            Sb1=1;
        }
        else {Sb1=0;}
    }
    else {Sb1=0;}
}
else {Sb1=0;}
////////////////////////////////////
if(vsinb_ > 1)
{
    if(vsinb_ >= vcar)
    {
        if(vsinb<=vcar)
        {
            Sb2=0;
        }
        else {Sb2=1;}
    }
    else {Sb2=1;}
}
else {Sb2=1;}
////////////////////////////////////
Sb3=1-Sb1;
Sb4=1-Sb2;
////////////////////////////////////
if((Sb2==1)&&(Sb3==1))
{
    Sb1=Sb1||s1;
    Sb4=Sb4||s1;
}

```

```
////////////////////////////////////
```

```
y1 = Sb1;
```

```
y2 = Sb3;
```

```
y3 = Sb2;
```

```
y4 = Sb4;
```

Chương trình điều khiển cho nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T cho pha C:

```
double s1,vsinc,vsinc_,vcar,Sc1,Sc2,Sc3,Sc4;
```

```
vsinc =x1;
```

```
vsinc_ =x2;
```

```
vcar = x3;
```

```
s1 =x4;
```

```
////////////////////////////////////
```

```
if(vsinc > 1)
```

```
{
```

```
    if(vsinc >= vcar)
```

```
    {
```

```
        if(vsinc_ <=vcar)
```

```
        {
```

```
            Sc1=1;
```

```
        }
```

```
        else {Sc1=0;}
```

```
    }
```

```
    else {Sc1=0;}
```

```
}
```

```
else {Sc1=0;}
```

```
////////////////////////////////////
```

```
if(vsinc_ > 1)
```

```
{
```

```
    if(vsinc_ >= vcar)
```

```
    {
```

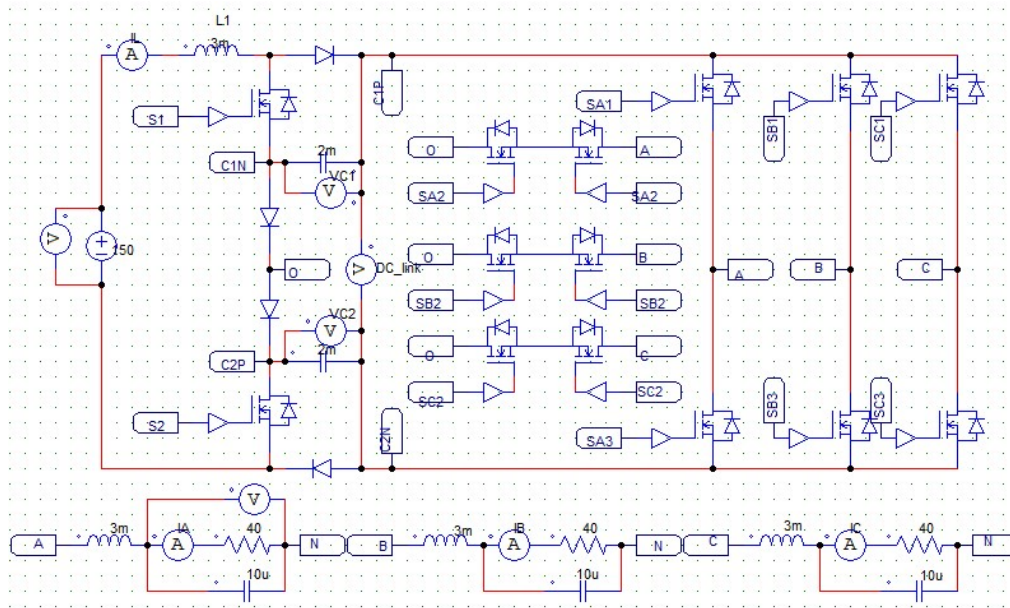
```

        if(vsinc<=vcar)
        {
            Sc2=0;
        }
        else {Sc2=1;}
    }
    else {Sc2=1;}
}
else {Sc2=1;}
////////////////////////////////////
Sc3=1-Sc1;
Sc4=1-Sc2;
////////////////////////////////////
if((Sc2==1)&&(Sc3==1))
{
    Sc1=Sc1||s1;
    Sc4=Sc4||s1;
}
////////////////////////////////////
y1 = Sc1;
y2 = Sc3;
y3 = Sc2;
y4 = Sc4;

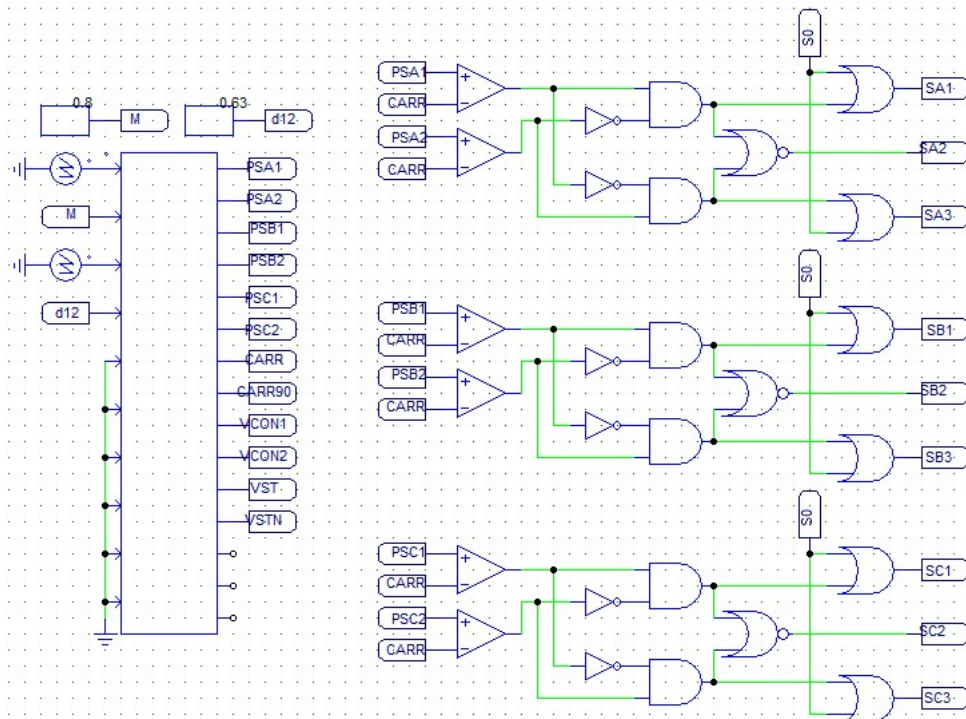
```

Phụ lục 1.2

Sơ đồ mô phỏng nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode.



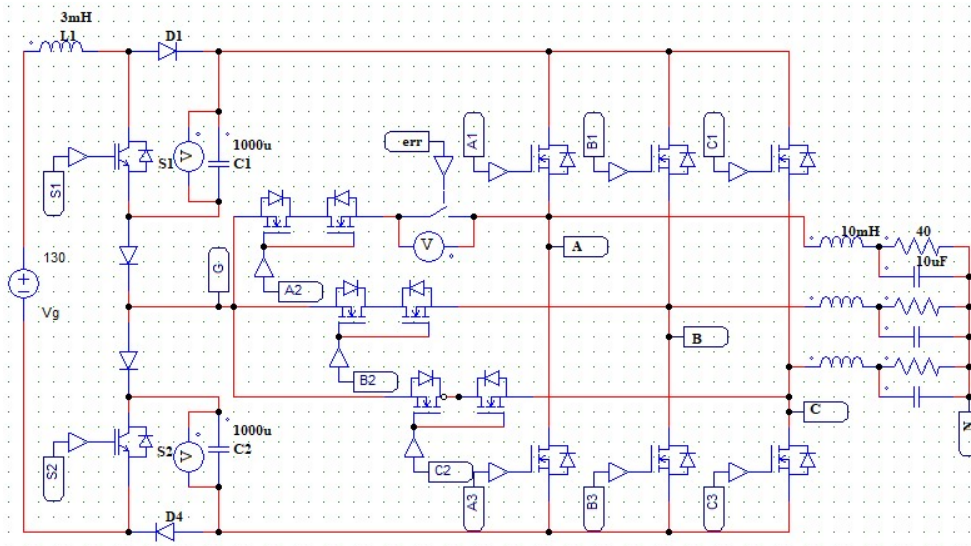
a) Sơ đồ mô phỏng khối công suất của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode.



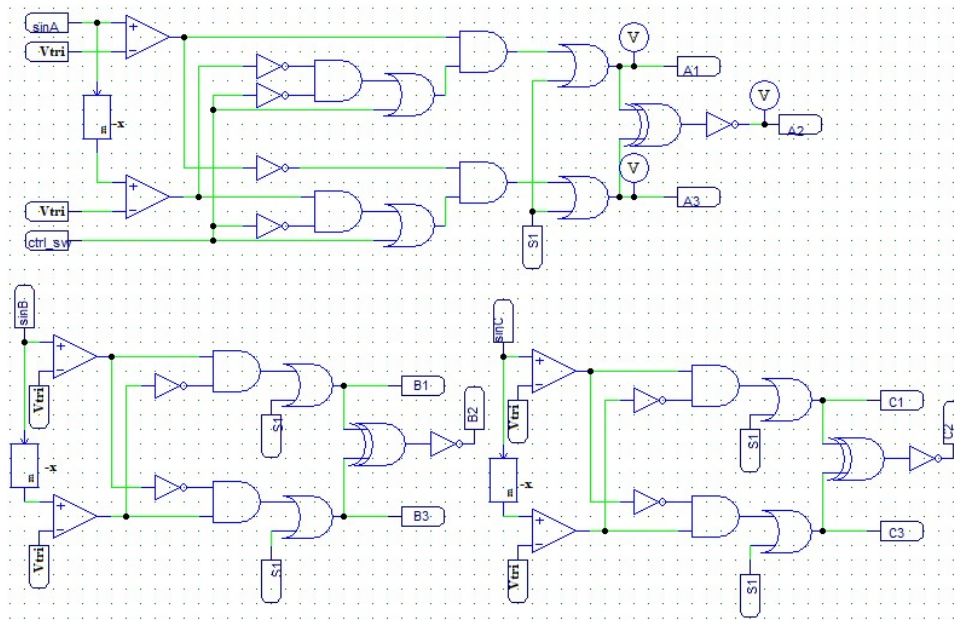
b) Sơ đồ mô phỏng khối điều khiển của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng triệt tiêu điện áp common mode.

Phụ lục 1.3

Sơ đồ mô phỏng nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả



- a) Sơ đồ mô phỏng khối công suất của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng chịu lỗi hở mạch khóa công suất.



- b) Sơ đồ mô phỏng khối điều khiển của nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng chịu lỗi hở mạch khóa công suất.

Chương trình điều khiển cho nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T với khả năng chịu lỗi hở mạch khóa công suất:

```
double goc,vax,vbx,vcx,m,PI,n,err,va_ref,vb_ref,vc_ref,ctrl_sw,vst;
PI=3.14159;
```

```
goc=x1;
err=x2;
    m=0.7;
    vax=m*sin(goc*PI/180);
    vbx=m*sin((goc-120)*PI/180);
    vcx=m*sin((goc-240)*PI/180);
va_ref=vax;
vb_ref=vbx;
vc_ref=vcx;
if(err==0)
{
    ctrl_sw=0;
}
else
{
    ctrl_sw=1;
}
vst=m;
y1=va_ref;
y2=vb_ref;
y3=vc_ref;
y4=vst;
y5=-vst;
y6=ctrl_sw;
```

Phụ lục 1.4

Sơ đồ mô phỏng nghịch lưu tăng áp tựa khóa chuyển mạch ba bậc hình T

Chương trình nhúng mô hình thực nghiệm

Code T-type 5Khz

```
#include "DSP2833x_Device.h"
#include "DSP28x_Project.h"
#include "math.h"
void Gpio_select(void);
void InitSystem(void);
extern void InitSysCtrl(void);
extern void InitPieCtrl(void);
extern void InitPieVectTable(void);
extern void InitCpuTimers(void);
interrupt void cpu_timer0_isr(void);
extern void ConfigCpuTimer(struct CPUTIMER_VARS *, float, float);
void Setup_ePWM();
extern void InitQep1Gpio(void);
double fa=0, fb=0, fc=0, d5=0, d6=0, d7=0, d8=0, t=0, f=50, i=0, x=0;
float p_old=0, Pos0, Pos1, Vel0, Vel1;
#define M      7500
#define A      0.7
#define D0.4
#define pi  3.1415926535
//#####
//                               main code
//#####
void main(void)
{
    InitSysCtrl();
    EALLOW;
    SysCtrlRegs.WDCR = 0x00AF;
    EDIS;
    DINT;
    Gpio_select();
    Setup_ePWM();
    InitPieCtrl();
    InitPieVectTable();
    EALLOW;
    PieVectTable.TINT0 = &cpu_timer0_isr;
```

```

EDIS;
InitCpuTimers();
ConfigCpuTimer(&CpuTimer0, 150, 100);
PieCtrlRegs.PIEIER1.bit.INTx7 = 1;
IER |= 1;
EINT;
ERTM;
CpuTimer0Regs.TCR.bit.TSS = 0;
while(1)
{
    EALLOW;
    SysCtrlRegs.WDKEY = 0x55;
    EDIS;
    x=t/10000;

    fa=A*M*sin(2*pi*f*x);
    fb=A*M*sin(2*pi*f*x-2*pi/3);
    fc=A*M*sin(2*pi*f*x+2*pi/3);
    EPwm1Regs.CMPA.half.CMPA = (fa);
    EPwm1Regs.CMPB = (fb);
    EPwm2Regs.CMPA.half.CMPA = (fa+M);
    EPwm2Regs.CMPB = (fb+M);
    EPwm3Regs.CMPA.half.CMPA = (fc);
    EPwm4Regs.CMPA.half.CMPA = (fc+M);
    EPwm5Regs.CMPA.half.CMPA = D*M;
    EPwm6Regs.CMPA.half.CMPA = D*M;
}
}

void cpu_timer0_isr()
{
    CpuTimer0.InterruptCount=CpuTimer0.InterruptCount+1;
    t++;
    EALLOW;
    SysCtrlRegs.WDKEY = 0xAA;
    EDIS;
    if (t>199) t=0;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

void Gpio_select(void)

```



```

{
    EALLOW;
    GpioCtrlRegs.GPADIR.all = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 1;
    GpioCtrlRegs.GPAMUX2.all = 0;
    GpioCtrlRegs.GPBDIR.bit.GPIO34 = 1;
    EDIS;
}

void Setup_ePWM(void)
{
    EPwm1Regs.TBPRD = M;
    EPwm1Regs.TBPHS.half.TBPHS = 0x0000;
    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE;
    EPwm1Regs.TBCTL.bit.PRDLN = TB_SHADOW;
    EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
    EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
    EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;
    EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
    EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
    EPwm1Regs.AQCTLB.bit.CBU = AQ_SET;
    EPwm1Regs.AQCTLB.bit.CBD = AQ_CLEAR;

    EPwm2Regs.TBPRD = M;

```

```

EPwm2Regs.TBPHS.half.TBPHS = 0x0000;
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE;
EPwm2Regs.TBCTL.bit.PRDL D = TB_SHADOW;
EPwm2Regs.TBCTL.bit.SYNCOSEL =TB_SYNC_IN;
EPwm2Regs.TBCTL.bit.PHSDIR = TB_UP;
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm2Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm2Regs.AQCTLB.bit.CBD = AQ_CLEAR;

EPwm3Regs.TBPRD = M*2;
EPwm3Regs.TBPHS.half.TBPHS = 0;
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE;
EPwm3Regs.TBCTL.bit.PHSDIR = TB_UP;
EPwm3Regs.TBCTL.bit.PRDL D = TB_SHADOW;
EPwm3Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm3Regs.AQCTLA.bit.CAD = AQ_ CLEAR;
EPwm3Regs.AQCTLA.bit.CAU = AQ_ SET;
EPwm3Regs.AQCTLB.bit.CBU = AQ_ CLEAR;
EPwm3Regs.AQCTLB.bit.CBD = AQ_ SET;

EPwm4Regs.TBPRD = M;
EPwm4Regs.TBPHS.half.TBPHS = 0;
EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm4Regs.TBCTL.bit.PHSEN = TB_ENABLE;
EPwm4Regs.TBCTL.bit.PHSDIR = TB_UP;

```

```

EPwm4Regs.TBCTL.bit.PRDL D = TB_SHADOW;
EPwm4Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm4Regs.AQCTLA.bit.CAD = AQ_CLEAR;
EPwm4Regs.AQCTLA.bit.CAU = AQ_SET;
EPwm4Regs.AQCTLB.bit.CBU = AQ_CLEAR;
EPwm4Regs.AQCTLB.bit.CBD = AQ_SET;

```

```

EPwm5Regs.TBPRD = M;
EPwm5Regs.TBPHS.half.TBPHS = 0;
EPwm5Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm5Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm5Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm5Regs.TBCTL.bit.PHSEN = TB_DISABLE;
EPwm5Regs.TBCTL.bit.PRDL D = TB_SHADOW;
EPwm5Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
EPwm5Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm5Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm5Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm5Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm5Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm5Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm5Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm5Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm6Regs.TBPRD = M;
EPwm6Regs.CMPA.half.CMPA = 0;
EPwm6Regs.TBPHS.half.TBPHS = M/2;
EPwm6Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm6Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm6Regs.TBCTL.bit.PHSEN = TB_ENABLE;
EPwm6Regs.TBCTL.bit.PRDL D = TB_SHADOW;

```

```
EPwm6Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm6Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm6Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
EPwm6Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm6Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm6Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm6Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm6Regs.DBFED = 10;
EPwm6Regs.DBRED = 50;
}
//=====
// End of SourceCode.
//=====
```

